

MATRIX DISPLAY AND ITS DRIVING METHOD

Publication number: JP2003084732 (A)

Publication date: 2003-03-19

Inventor(s): TSUGE HITOSHI; TAKAHARA HIROSHI; YAMANO ATSUHIRO +

Applicant(s): MATSUSHITA ELECTRIC IND CO LTD +

Classification:

- international: G02F1/133; G09G3/20; G09G3/36; G02F1/13; G09G3/20; G09G3/36; (IPC1-7): G02F1/133; G09G3/20; G09G3/36

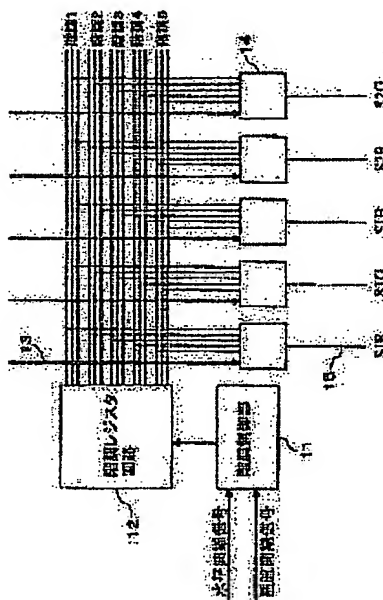
- European:

Application number: JP20010394513 20011226

Priority number(s): JP20010394513 20011226; JP20000397706 20001227; JP20010056499 20010301; JP20010158731 20010528; JP20010190958 20010625

Abstract of JP 2003084732 (A)

PROBLEM TO BE SOLVED: To realize a low-power display capable of multi-color display by combining a gradation expression system based on FRC and that based on a pulse width modulation method or a pulse height modulation method to suppress the rise of the frame rate caused by increase of the number of display gradations. **SOLUTION:** With respect to an M-bit video signal, N lower bits are used to perform gradation expression by the pulse width or pulse height modulation method in one frame, and M-N upper bits are used and $2^{(M-N)}$ frames are used to perform gradation display based on FRC, and thus the number of frames required for FRC is reduced to reduce the frame frequency, and gradation display of less flicker is realized with a low power.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-84732

(P2003-84732A)

(43) 公開日 平成15年3月19日 (2003. 3. 19)

(51) Int.Cl. ⁷	識別記号	F I	テームト ⁷ (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 1 0	G 0 2 F 1/133	5 1 0 5 C 0 0 6
	5 7 5		5 7 5 5 C 0 8 0
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A
			6 1 1 E

審査請求 未請求 請求項の数18 O L (全 43 頁) 最終頁に続く

(21) 出願番号 特願2001-394513 (P2001-394513)

(22) 出願日 平成13年12月26日 (2001. 12. 26)

(31) 優先権主張番号 特願2000-397706 (P2000-397706)

(32) 優先日 平成12年12月27日 (2000. 12. 27)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願2001-56499 (P2001-56499)

(32) 優先日 平成13年3月1日 (2001. 3. 1)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願2001-158731 (P2001-158731)

(32) 優先日 平成13年5月28日 (2001. 5. 28)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 柘植 仁志

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 高原 博司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100062144

弁理士 青山 篠 (外1名)

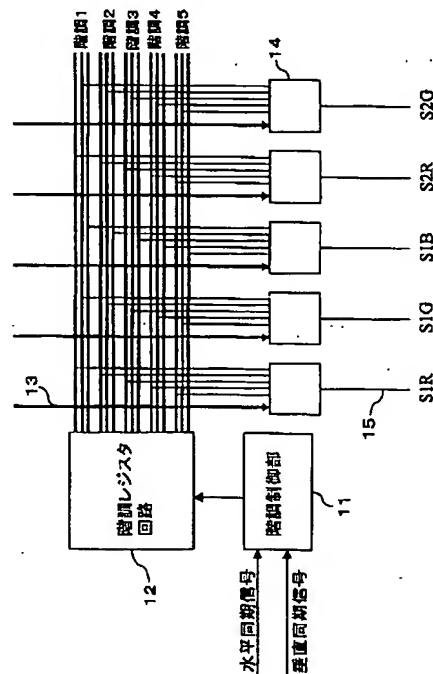
最終頁に続く

(54) 【発明の名称】 マトリクス型表示装置とその駆動方法

(57) 【要約】

【課題】 FRCによる階調表現とパルス幅変調法またはパルス高さ変調法による階調表現方式の組み合わせにより表示階調数の増加によるフレームレートの上昇を抑え、低電力かつ多色表示可能な表示装置を実現することを目的とする。

【解決手段】 Mビットの映像信号に対し、下位Nビットを用いて1フレームでパルス幅またはパルス高さ変調法による階調表現を行い、上位M-Nビットを用いて更に $2^M - N - 1$ フレームを用いて本発明のFRCによる階調表示を行い、FRCに必要なフレーム数を削減することでフレーム周波数を低下させ、低電力でフリッカの少ない階調表示を実現する。



【特許請求の範囲】

【請求項1】 フレームレートコントロールにより階調表示を行う、少なくとも2色の異なる色を表示するマトリクス型表示装置であって、

階調レジスタ部と、

前記階調レジスタ部を、行ごともしくはフレームごとに制御信号に基づいてシフト処理し、表示色数-1個のシフト処理部により表示色ごとに前記階調レジスタ部の出力をシフト処理により変化させるシフト処理部と、

前記シフト処理部もしくは前記レジスタ部の出力が接続され、セグメント信号線ごとに設けられた階調選択回路と、

前記階調選択回路は同時刻の前記シフト処理部もしくは前記レジスタ部の出力を用いて表示色ごとに異なる表示パターンにより階調表示を行うことを特徴とするマトリクス型表示装置。

【請求項2】 フレームレートコントロールにより階調表示を行うマトリクス型表示装置の駆動方法であって、階調ごとに設けられた階調レジスタはN行ごともしくはフレームごとにシフト処理され、

前記階調レジスタの出力にシフト部が接続されN行のうちの偶数行に対応するデータに対しては更にシフト処理を行い、奇数行に対応するデータに対しては前記階調レジスタ出力をそのまま出力し、

各セグメント信号線ごとに設けられた階調選択回路で、同時刻の階調レジスタの出力を用いて階調処理を行い、N行の組のうちの偶数行と奇数行で異なるオンオフパターンを表示することを特徴とするマトリクス型表示装置の駆動方法。

【請求項3】 フレームレートコントロールにより階調表示を行う、少なくとも2色の異なる色を表示するマトリクス型表示装置の駆動方法であって、

階調レジスタ部はN行ごともしくはフレームごとに制御信号に基づいてシフト処理され、

前記階調レジスタの出力に第1のシフト部が接続されN行のうちの偶数行に対応するデータに対しては更にシフト処理を行い、奇数行に対応するデータに対しては前記階調レジスタ出力をそのまま出力し、

前記第1のシフト部に対し表示色数-1個の第2のシフト処理部により表示色ごとにシフト処理を行い、

セグメント信号線ごとに設けられた階調選択回路は同時刻の前記シフト処理部もしくは前記レジスタ部の出力を用いて表示色ごとに更にN行の組のうちの偶数行と奇数行で異なる表示パターンにより階調表示を行うことを特徴とするマトリクス型表示装置の駆動方法。

【請求項4】 マトリクス型表示装置において、

階調レジスタと、

前記階調レジスタをN行ごともしくはフレームごとにシフト処理制御を行なうシフト処理制御部と、

前記階調レジスタの出力に対しN行の組のうちの偶数行

のデータに対しシフト処理を行う第1のシフト部と、

前記第1のシフト部の出力が表示色(X色)に応じて分配され、X個に分配された前記第1のシフト部の出力に対し、少なくともX-1個の出力に対しシフト処理を行う第2のシフト部と、

前記第2のシフト部もしくは第1のシフト部の出力が接続されたセグメント信号線ごとに設けられた階調選択回路、を具備し、

前記階調選択回路は同時刻の前記第1のシフト部もしくは前記第2シフト部の出力を用いて階調表示を行うことで、N行ごと、フレームごと、N行の組のうちの偶数行と奇数行、表示色ごとに異なる表示パターンを用いて階調表示を行うことを特徴とするマトリクス型表示装置。

【請求項5】 複数のビット幅(Mビット)のデータ入力を持つマトリクス型表示装置の駆動方法であって、M、Nは $M > N$ でありかつ自然数とし、前記Mビットのデータ入力に対し、上位 $M-N$ ビット入力を用いて $2^{M-N}-1$ フレームでフレームレートコントロールによる階調処理を行い、

前記 $2^{M-N}-1$ フレームとは異なる1フレームには入力下位Nビットを用いてパルス幅変調もしくはパルス高き変調による階調処理を行うことを特徴とするマトリクス型表示装置の駆動方法。

【請求項6】 複数のビット幅(Mビット)のデータ入力を持つマトリクス型表示装置の駆動用半導体回路であって、

M、Nは $M > N$ でありかつ自然数とし、前記Mビットのデータ入力に対し、

複数のレジスタから成る階調レジスタ回路と、

前記階調レジスタ回路の階調レジスタを水平同期信号及び垂直同期信号によってシフト処理する階調制御部と、Mビットのデータ入力をNビットデータに変換するデータデコード部と、を具備し、

前記データデコード部は前記階調レジスタ回路と上位 $M-N$ ビット入力を用いて $2^{M-N}-1$ フレームでフレームレートコントロールによる階調処理を行い、前記 $2^{M-N}-1$ フレームとは異なる1フレームには入力下位Nビットを用いてパルス幅変調もしくはパルス高き変調による階調処理を行うことで、 2^{M-N} フレームを用いて階調表示を行うことを特徴とするマトリクス型表示装置の駆動用半導体回路。

【請求項7】 Mビットのデータ入力を持ち、同時に複数行(L行)のコモン信号線を選択するマトリクス型表示装置であって、

複数の階調レジスタ回路と、

前記階調レジスタ回路の階調レジスタを水平同期信号もしくは垂直同期信号によってシフト処理する階調制御部と、

Mビットのデータを前記階調レジスタ回路の出力によりフレーム間引きを行うことでNビットに変換するデータ

デコード部と、
 直交関数生成部と前記直交関数と前記Nビットデータとを演算する各セグメント信号線に対しN個の演算部と、
 前記N個の演算部の出力のうち1つを選択する選択部と、
 L行の組のうちの偶数行および奇数行のうち少なくとも一方のシフト量を保持するRAMと、
 L行の組みごとにシフトするRAMと、
 前記RAMを書きかえるデータ書き換え手段と、
 前記演算部の出力としてL+1個のNビットレジスタと、を具備し、
 前記演算部の演算結果により、L+1個のレジスタの入力ビットの重みに対応したビットのうちのいずれか1つを1とし、他を0として、
 前記選択部においては、L+1個のレジスタ値を参照し、レジスタ値に応じて1水平走査期間内にセグメント電圧値の大きい順もしくは小さい順に前記演算部の出力を選択することを特徴とするマトリクス型表示装置。
 【請求項8】 Mビットの入力データを用いて階調表示を行う表示装置の駆動方法であって、
 N ($N < M$) ビットデータを用いる第1のフレームと、
 M-Nビットデータを用いる複数の第2のフレームとを実施し、
 第1のフレームと第2のフレームを加えたフレーム数Fが 2^{M-N} で、
 第1のフレームの階調数は、第2の各フレームの階調数-1であることを特徴とする表示装置の駆動方法。
 【請求項9】 Mビットの入力データを用いて階調表示を行う表示装置の駆動方法であって、
 N ($N < M$) ビットデータを用いる第1のフレームと、
 M-Nビットデータを用いる複数の第2のフレームとを実施し、
 第1のフレームと第2のフレームを加えたフレーム数Fが 2^{M-N} で、
 第1のフレームの階調数は、第2の各フレームの階調数-1であり、
 前記第1のフレームの階調表示法がパルス幅変調法もしくはパルス高さ変調法であり、
 前記第2のフレームの階調表示法がフレームレートコントロールであることを特徴とする表示装置の駆動方法。
 【請求項10】 複数のビット幅 (Mビット) のデータ入力を持つマトリクス型表示装置の駆動方法であって、
 M、Nは $M > N$ でありかつ整数とし、
 前記Mビットのデータ入力に対し、
 データデコード部は、Mビットのデータ入力をNビットデータに変換し、複数のレジスタから成る階調レジスタ回路と上位M-Nビット入力を用いて、 $2^{M-N}-1$ フレームでフレームレートコントロールによる階調処理を行い、
 前記 $2^{M-N}-1$ フレームとは異なる1フレームには入

力Nビットを用いて、パルス幅変調による階調処理を行い、
 更に前記Nビット出力とは異なる1ビットを出力し、
 前記1ビット出力は、フレームレートコントロールによる階調処理を行う間は前記フレームレートコントロール出力の1ビットと同一出力をし、
 パルス幅変調による階調処理を行うときには0を出力し、
 1フレーム内を 2^N 分割し、 2^N-1 個の期間においては前記Nビット出力に基づく階調表示を行い、 2^N-1 個の期間とは異なる1期間において前記1ビット出力に基づいて表示を行うことで 2^M-N フレームを用いて 2^M 階調表示を行うことを特徴とするマトリクス型表示装置の駆動方法。
 【請求項11】 複数のビット幅 (Mビット) のデータ入力を持ち、
 同時に複数行 (L行、Lは2以上の整数) のコモン信号線を選択するマトリクス型表示装置であって、
 1つもしくは複数の階調レジスタ回路と、
 前記階調レジスタ回路の出力によりフレームレートコントロールを行うかを判別するFRC判定手段と、
 MビットのデータをNビットに変換するデータデコード部と、
 直交関数の各要素を生成する直交関数生成部と前記直交関数と前記Nビットデータとを演算する各セグメント信号線に対しN個の演算部と、
 あらかじめ計算されたL個のデータ0とL個の前記直交関数要素、L個のデータ1とL個の前記直交関数要素の演算結果を格納するROMと、
 前記N個の演算部の出力もしくは前記ROMのうちの1つを選択する選択部と、を具備し、
 前記選択部は、前記FRC判定手段の結果により、前記複数の演算器のうちの1つの出力を1フレーム間出力するか、1フレームの $(2^N-1)/2^N$ 期間は前記複数の演算器の出力を前記演算器の入力である前記Nビットデータの重みに応じて選択出力し、かつ1フレームの $1/2^N$ 期間は前記ROMを選択出力することを特徴とするマトリクス型表示装置。
 【請求項12】 複数のビット幅 (Mビット) のデータ入力を持つマトリクス型表示装置であって、
 1つもしくは複数の階調レジスタ回路と、
 前記階調レジスタ回路の出力によりフレームレートコントロールを行うかを判別するFRC判定手段と、
 MビットのデータをNビットに変換するデータデコード部と、
 直交関数生成部と前記直交関数と前記Nビットデータとを演算する各セグメント信号線に対しN個の演算部と、
 前記N個の演算部からの出力のうち1つを選択する選択部と、を具備し、
 前記選択部は、前記FRC判定手段の結果により、前記

複数の演算器のうちの1つの出力を1フレーム間出力するか、前記複数の演算器の出力を前記演算器の入力である前記Nビットデータの重みに応じて選択出力し、かつ1フレームの $1/2^N$ 期間はコモン信号線の非選択時電圧を印加するように選択出力することを特徴とするマトリクス型表示装置。

【請求項13】 Mビットの入力データを用いて階調表示を行う表示装置の駆動方法であって、
N ($N < M$) ビットデータを用いる第1のフレームと、
M-Nビットデータを用いる複数の第2のフレームとを実施し、

第1のフレームと第2のフレームを加えたフレーム数Fが 2^{M-N} で、第1のフレームの階調数は、第2の各フレームの階調数-1であり、前記第2の各フレームの階調数-1階調分のデータとは異なる1階調分のデータを用いて、前記表示装置の表示部に印加される電圧値を変化させることで、全表示階調の輝度を変化させることを特徴とする表示装置の駆動方法。

【請求項14】 Mビットの入力データを用いて階調表示を行う表示装置の駆動方法であって、
N ($N < M$) ビットデータを用いる第1のフレームと、
M-Nビットデータを用いる複数の第2のフレームとを実施し、
第1のフレームと第2のフレームを加えたフレーム数Fが 2^{M-N} で、前記第1のフレームで表示可能な階調数は $2^N + 1$ であり、前記 $2^N + 1$ の階調数のうち前記Nビットデータを用いて表現可能な 2^N 個の階調を前記表示装置及び異なる表示色に応じて任意に選択し、
階調対輝度特性を調節できるようにしたことを特徴とする表示装置の駆動方法。

【請求項15】 Mビットの入力データを用いて階調表示を行う表示装置の駆動方法であって、
N ($N < M$) ビットデータを用いる第1のフレームと、
M-Nビットデータを用いる複数の第2のフレームとを実施し、
第1のフレームと第2のフレームを加えたフレーム数Fが 2^{M-N} で、第1のフレームの階調数は、第2の各フレームの階調数-1であり、
前記第2の各フレームの階調数-1階調分のデータとは異なる1階調分のデータを用い、表示階調によらない電圧を印加することで、同一階調におけるセグメント信号線およびコモン信号線に印加する電圧値を変化させることを特徴とする表示装置の駆動方法。

【請求項16】 Mビットの入力データを用いて階調表示を行う表示装置の駆動方法であって、
N ($N < M$) ビットデータを用いる第1のフレームと、
M-Nビットデータを用いる複数の第2のフレームとを実施し、
第1のフレームと第2のフレームを加えたフレーム数Fが 2^{M-N} で、第1のフレームの階調数は、第2の各フ

レームの階調数-1であり、

前記第2の各フレームの階調数-1階調分のデータとは異なる1階調分のデータに表示原色ごとに異なる値を入力し、前記表示装置の表示部に印加される電圧値を表示原色ごとに変化させることで、異なる表示原色間での輝度を調節することを特徴とする表示装置の駆動方法。

【請求項17】 Mビットのデータ入力を持つマトリクス型表示装置であって、少なくとも 2^{M-N-1} 個の複数の階調レジスタと、
前記階調レジスタにシフト制御信号によりシフト量指示信号に基づいたシフト処理を行う階調レジスタ回路と、
MビットのデータをNビットのデータに変換する階調デコード部とを具備し、

前記複数の階調レジスタは、0と1の割合が1対 2^{M-N-1} から1対1まで順に1つつづ1もしくは0のビットの数が異なり、1がオン、0がオフを示すとする、
前記階調デコード部は前記Mビット入力データの上位M-Nビットデータが0または 2^{M-N-1} 以外の場合には、前記複数の階調レジスタのうち1の個数が前記上位M-Nビットデータの値と等しい階調レジスタAと、1の個数が前記上位M-Nビットデータの値よりも1つ多い階調レジスタBの値を参照し、

前記階調レジスタAと前記階調レジスタBの値が等しくなければ前記Mビットデータの下位Nビットの値を出力し、

前記階調レジスタAと前記階調レジスタBの値が等しければ、前記Mビット入力データの最上位ビットが0の時には前記階調レジスタAもしくは前記階調レジスタBと同じ値をNビット全てに出力し、

前記Mビット入力データの最上位ビットが1の時には前記階調レジスタAもしくは前記階調レジスタBと反転した値をNビット全てに出力し、

1の個数が1個である前記複数の階調レジスタを階調レジスタCとすると、前記Mビット入力データが0の場合には、前記階調レジスタCの値が1のときに前記Mビット入力データの下位Nビットを出力し、0のときにNビット全て0を出力し、

前記Mビット入力データが1の場合には、前記階調レジスタCの値が0のときに前記Mビット入力データの下位Nビットを出力し、1のときにNビット全て1を出力し、

前記階調デコード部のNビット出力をパルス幅変調もしくはパルス高さ変調により階調表示を行うことを特徴とするマトリクス型表示装置。

【請求項18】 複数のビット幅(Mビット)のデータ入力を持つマトリクス型表示装置の駆動方法であって、
M、Nは $M > N$ でありかつ整数とし、
前記Mビットのデータ入力に対し、
複数のレジスタから成る階調レジスタ回路の階調レジスタを水平同期信号もしくは垂直同期信号によってシフト

処理し、

データデコード部は、Mビットのデータ入力をNビットデータに変換し、前記階調レジスタ回路と上位M-Nビット入力を用いて、 $2^{M-N}-1$ フレームでフレームレートコントロールによる階調処理を行い、

前記 $2^{M-N}-1$ フレームとは異なる1フレームには入力Nビットを用いて、パルス高さ変調による階調処理を行い、

更に前記Nビット出力とは異なる1ビットを出力し、前記1ビット出力は、フレームレートコントロールによる階調処理を行う間は前記フレームレートコントロール出力の1ビットと同一出力を出力し、

パルス高さ変調による階調処理を行うときには0を出力し、

セグメント信号線へ出力する信号の強度が前記Nビット出力と前記1ビット出力との和によりきめられることを特徴とするマトリクス型表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はマトリクス状の画素構造を有する表示装置とその駆動方法などに関する。

【0002】

【従来の技術】階調表示方式のひとつとして複数のフレームを用いて、フレームごとに列電圧を制御することにより階調表現を行うフレームレートコントロール方式（FRC）がある。フレームレートコントロールにより階調表示を行う場合には、オンとオフのパターンの数がフレームごとで変化しないようにしてフリッカを低減させている。

【0003】

【発明が解決しようとする課題】FRC（Frame Rate Control）により階調表現を行う場合において、表示階調数が増加するとオンの回数とオフの回数の比が小さくなる階調が発生するためフリッカが発生しやすくなる。フレームレートを増加させて、フリッカを低減させる方法があるが、消費電力が増加する。例えば256色表示では7フレームで階調をあらわすのに対し、4096色表示では原理的には15フレーム必要であり、単純にフリッカレベルを同一にするためには、フレームレートを約2倍にしなければならない。

【0004】一方で、携帯電話をはじめとする移動体端末では電源が限られており、消費電力を低減することが求められている。また、表示装置の狭額縁化、コスト削減の要求からもフリッカ対策の回路はシンプルである必要がある。更に多色化を行うとなると、フレーム周波数は200Hzを超え、FRCによる低電力化を実現することは不可能となる。

【0005】また、パルス幅変調法による多色化においては、1水平走査期間に印加するパルス数が増加することにより、セグメント信号線の充放電回数の増加による

電力増大や、表示装置が一般に容量性負荷でありパルス幅が狭くなることにより、配線抵抗との容量と抵抗の積による波形のなまりが階調性を悪くするという問題が発生する。

【0006】本発明は上記従来の問題点を解決し、低フレーム周波数駆動のために、FRCにおいてはNラインごと、フレームごと、表示色ごと及び偶数行と奇数行で異なるオンオフパターンとする。多色化及び低電力化を図るためFRCによる階調表現とパルス幅変調法（Pulse Width Modulation: PWM）もしくはパルス高さ変調法（PHM）による階調表現方式を組み合わせることで、表示階調数の増加によるフレームレートの上昇をおさえ、低電力かつ多色表示可能な表示装置を実現することを目的とする。

【0007】

【課題を解決するための手段】この目的を達成するために、本発明の第1の態様によるマトリクス型表示装置は、第1にフレームレートコントロールにより階調表示を行う、少なくとも2色の異なる色を表示するマトリクス型表示装置であって、階調レジスタ部は行ごともしくはフレームごとに制御信号に基づいてシフト処理され、表示色数-1個のシフト処理部により表示色ごとに前記階調レジスタ部の出力をシフト処理により変化させ、セグメント信号線ごとに設けられた階調選択回路と前記シフト処理部もしくは前記レジスタ部の出力が接続され、前記階調選択回路は同時刻の前記シフト処理部もしくは前記レジスタ部の出力を用いて表示色ごとに異なる表示パターンにより階調表示を行うことを特徴とする。

【0008】本発明の第2の態様によるマトリクス型表示装置の駆動方法は、フレームレートコントロールにより階調表示を行うマトリクス型表示装置の駆動方法であって、階調ごとに設けられた階調レジスタはN行ごともしくはフレームごとにシフト処理され、前記階調レジスタの出力にシフト部が接続されN行のうちの偶数行に対応するデータに対しては更にシフト処理を行い、奇数行に対応するデータに対しては前記階調レジスタ出力をそのまま出力し、各セグメント信号線ごとに設けられた階調選択回路で、同時刻の階調レジスタの出力を用いて階調処理を行い、N行の組のうちの偶数行と奇数行で異なるオンオフパターンを表示することを特徴とする。

【0009】本発明の第3の態様によるマトリクス型表示装置の駆動方法は、フレームレートコントロールにより階調表示を行う、少なくとも2色の異なる色を表示するマトリクス型表示装置の駆動方法であって、階調レジスタ部はN行ごとしくはフレームごとに制御信号に基づいてシフト処理され、前記階調レジスタの出力に第1のシフト部が接続されN行のうちの偶数行に対応するデータに対しては更にシフト処理を行い、奇数行に対応するデータに対しては前記階調レジスタ出力をそのまま出力し、前記第1のシフト部に対し表示色数-1個の第2

のシフト処理部により表示色ごとにシフト処理を行う。セグメント信号線ごとに設けられた階調選択回路と前記第2のシフト処理部もしくは第1の出力が接続され、前記階調選択回路は同時刻の前記シフト処理部もしくは前記レジスタ部の出力を用いて表示色ごとに更にN行の組のうちの偶数行と奇数行で異なる表示パターンにより階調表示を行うことを特徴とする。

【0010】本発明の第4の態様によるマトリクス型表示装置は、階調レジスタと、前記階調レジスタをN行ごともしくはフレームごとにシフト処理させるシフト制御信号と、前記階調レジスタの出力に対しN行の組のうちの偶数行のデータに対しシフト処理を行う第1のシフト部と、前記第1のシフト部の出力が表示色(X色)に応じて分配され、X個に分配された前記第1のシフト部の出力に対し、少なくともX-1個の出力に対しシフト処理を行う第2のシフト部と、前記第2のシフト部もしくは第1のシフト部の出力が接続されたセグメント信号線ごとに設けられた階調選択回路を具備し、前記階調選択回路は同時刻の前記第1のシフト部もしくは前記第2のシフト部の出力を用いて階調表示を行うことでN行ごと、フレームごと、N行の組のうちの偶数行と奇数行、表示色ごとに異なる表示パターンを用いて階調表示を行うことを特徴とする。

【0011】本発明の第5の態様によるマトリクス型表示装置の駆動方法は、複数のビット幅(Mビット)のデータ入力を持つマトリクス型表示装置の駆動方法であって、M、Nは $M > N$ でありかつ自然数とし、前記Mビットのデータ入力に対し、上位M-Nビット入力を用いて $2^{M-N}-1$ フレームでフレームレートコントロールによる階調処理を行い、前記 $2^{M-N}-1$ フレームとは異なる1フレームには入力下位Nビットを用いてパルス幅変調もしくはパルス高さ変調による階調処理を行うことを特徴とする。

【0012】本発明の第6の態様によるマトリクス型表示装置の駆動用半導体回路は、複数のビット幅(Mビット)のデータ入力を持つマトリクス型表示装置の駆動用半導体回路であって、M、Nは $M > N$ でありかつ自然数とし、前記Mビットのデータ入力に対し、複数のレジスタから成る階調レジスタ回路と、前記階調レジスタ回路の階調レジスタを水平同期信号及び垂直同期信号によってシフト処理する階調制御部と、Mビットのデータ入力をNビットデータに変換するデータデコード部を具備し、前記データデコード部は前記階調レジスタ回路と上位M-Nビット入力を用いて $2^{M-N}-1$ フレームでフレームレートコントロールによる階調処理を行い、前記 $2^{M-N}-1$ フレームとは異なる1フレームには入力下位Nビットを用いてパルス幅変調もしくはパルス高さ変調による階調処理を行うことで、 2^{M-N} フレームを用いて階調表示を行うことを特徴とする。

【0013】本発明の第7の態様によるマトリクス型表

示装置は、Mビットのデータ入力を持ち、同時に複数行(L行)のコモン信号線を選択するマトリクス型表示装置であって、複数の階調レジスタ回路と、前記階調レジスタ回路の階調レジスタを水平同期信号もしくは垂直同期信号によってシフト処理する階調制御部と、Mビットのデータを前記階調レジスタ回路の出力によりフレーム間引きを行うことでNビットに変換するデータデコード部と、直交関数生成部と前記直交関数と前記Nビットデータとを演算する各セグメント信号線に対しN個の演算部と、前記N個の演算部の出力のうち1つを選択する選択部と、L行の組のうちの偶数行および奇数行のうち少なくとも一方のシフト量を保持するRAMと、L行の組みごとにシフトするRAMと、前記RAMを書きかえるデータ書き換え手段と、前記演算部の出力としてL+1個のNビットレジスタを具備し、前記演算部の演算結果により、L+1個のレジスタの入力ビットの重みに対応したビットのうちのいずれか1つを1とし、他を0として、前記選択部においては、L+1個のレジスタ値を参照し、レジスタ値に応じて1水平走査期間内にセグメント電圧値の大きい順もしくは小さい順に前記演算部の出力を選択することを特徴とする。

【0014】本発明の第8の態様による表示装置の駆動方法は、Mビットの入力データを用いて階調表示を行う表示装置の駆動方法であって、N($N < M$)ビットデータを用いる第1のフレームと、M-Nビットデータを用いる複数の第2のフレームとを実施し、第1のフレームと第2のフレームを加えたフレーム数Fが 2^{M-N} で、第1のフレームの階調数は、第2の各フレームの階調数-1であることを特徴とする。

【0015】本発明の第9の態様による表示装置の駆動方法は、Mビットの入力データを用いて階調表示を行う表示装置の駆動方法であって、N($N < M$)ビットデータを用いる第1のフレームと、M-Nビットデータを用いる複数の第2のフレームとを実施し、第1のフレームと第2のフレームを加えたフレーム数Fが 2^{M-N} で、第1のフレームの階調数は、第2の各フレームの階調数-1であり、前記第1のフレームの階調表示法がパルス幅変調法もしくはパルス高さ変調法であり、前記第2のフレームの階調表示法がフレームレートコントロールであることを特徴とする。

【0016】本発明の第10の態様によるマトリクス型表示装置の駆動方法は、複数のビット幅(Mビット)のデータ入力を持つマトリクス型表示装置の駆動方法であって、M、Nは $M > N$ でありかつ整数とし、前記Mビットのデータ入力に対し、複数のレジスタから成る階調レジスタ回路と、Mビットのデータ入力をNビットデータに変換するデータデコード部を具備し、前記データデコード部は前記階調レジスタ回路と上位M-Nビット入力を用いて、 $2^{M-N}-1$ フレームでフレームレートコントロールによる階調処理を行い、前記 $2^{M-N}-1$ フレ

ームとは異なる1フレームには入力Nビットを用いて、パルス幅変調による階調処理を行い、更に前記Nビット出力とは異なる1ビットを出力し、前記1ビット出力は、フレームレートコントロールによる階調処理を行う間は前記フレームレートコントロール出力の1ビットと同一出力をし、パルス幅変調による階調処理を行うときには0を出力し、1フレーム内を 2^N 分割し、 $2^N - 1$ 個の期間においては前記Nビット出力に基づく階調表示を行い、 $2^N - 1$ 個の期間とは異なる1期間において前記1ビット出力に基づいて表示を行うことで 2^{M-N} フレームを用いて 2^M 階調表示を行うことを特徴とする。

【0017】本発明の第11の態様によるマトリクス型表示装置は、複数のビット幅(Mビット)のデータ入力を持ち、同時に複数行(L行、Lは2以上の整数)の共通信号線を選択するマトリクス型表示装置の駆動方法であって、1つもしくは複数の階調レジスタ回路と、前記階調レジスタ回路の出力によりフレームレートコントロールを行うかを判別するFRC判定手段と、MビットのデータをNビットに変換するデータデコード部と、直交関数の各要素を生成する直交関数生成部と前記直交関数と前記Nビットデータとを演算する各セグメント信号線に対しN個の演算部と、あらかじめ計算されたL個のデータ0とL個の前記直交関数要素、L個のデータ1とL個の前記直交関数要素の演算結果を格納するROMと、前記N個の演算部の出力もしくは前記ROMのうちの1つを選択する選択部を具備し、前記選択部は、前記FRC判定手段の結果により、前記複数の演算器のうちの1つの出力を1フレーム間出力するか、1フレームの $(2^N - 1) / 2^N$ 期間は前記複数の演算器の出力を前記演算器の入力である前記Nビットデータの重みに応じて選択出力し、かつ1フレームの $1 / 2^N$ 期間は前記ROMを選択出力するようにしたことを特徴とする。

【0018】本発明の第12の態様によるマトリクス型表示装置は、複数のビット幅(Mビット)のデータ入力を持つマトリクス型表示装置の駆動方法であって、1つもしくは複数の階調レジスタ回路と、前記階調レジスタ回路の出力によりフレームレートコントロールを行うかを判別するFRC判定手段と、MビットのデータをNビットに変換するデータデコード部と、直交関数生成部と前記直交関数と前記Nビットデータとを演算する各セグメント信号線に対しN個の演算部と、前記N個の演算部からの出力のうち1つを選択する選択部を具備し、前記選択部は、前記FRC判定手段の結果により、前記複数の演算器のうちの1つの出力を1フレーム間出力するか、前記複数の演算器の出力を前記演算器の入力である前記Nビットデータの重みに応じて選択出力し、かつ1フレームの $1 / 2^N$ 期間は共通信号線の非選択時電圧を印加するように選択出力するようにしたことを特徴とする。

【0019】本発明の第13の態様による表示装置の駆

動方法は、Mビットの入力データを用いて階調表示を行う表示装置の駆動方法であって、N($N < M$)ビットデータを用いる第1のフレームと、 $M - N$ ビットデータを用いる複数の第2のフレームとを実施し、第1のフレームと第2のフレームを加えたフレーム数Fが 2^{M-N} で、第1のフレームの階調数は、第2の各フレームの階調数-1であり、前記第2の各フレームの階調数-1階調分のデータとは異なる1階調分のデータを用いて、前記表示装置の表示部に印加される電圧値を変化させることで、全表示階調の輝度を変化させることを特徴とする。

【0020】本発明の第14の態様による表示装置の駆動方法は、Mビットの入力データを用いて階調表示を行う表示装置の駆動方法であって、N($N < M$)ビットデータを用いる第1のフレームと、 $M - N$ ビットデータを用いる複数の第2のフレームとを実施し、第1のフレームと第2のフレームを加えたフレーム数Fが 2^{M-N} で、前記第1のフレームで表示可能な階調数は $2^N + 1$ であり、前記 $2^N + 1$ の階調数のうち前記Nビットデータを用いて表現可能な 2^N 個の階調を前記表示装置及び異なる表示色に応じて任意に選択し、階調対輝度特性を調節できるようにしたことを特徴とする。

【0021】本発明の第15の態様による表示装置の駆動方法は、Mビットの入力データを用いて階調表示を行う表示装置の駆動方法であって、N($N < M$)ビットデータを用いる第1のフレームと、 $M - N$ ビットデータを用いる複数の第2のフレームとを実施し、第1のフレームと第2のフレームを加えたフレーム数Fが 2^{M-N} で、第1のフレームの階調数は、第2の各フレームの階調数-1であり、前記第2の各フレームの階調数-1階調分のデータとは異なる1階調分のデータを用い、表示階調によらない電圧を印加することで、同一階調におけるセグメント信号線および共通信号線に印加する電圧値を変化させることを特徴とする。

【0022】本発明の第16の態様による表示装置の駆動方法は、Mビットの入力データを用いて階調表示を行う表示装置の駆動方法であって、N($N < M$)ビットデータを用いる第1のフレームと、 $M - N$ ビットデータを用いる複数の第2のフレームとを実施し、第1のフレームと第2のフレームを加えたフレーム数Fが 2^{M-N} で、第1のフレームの階調数は、第2の各フレームの階調数-1であり、前記第2の各フレームの階調数-1階調分のデータとは異なる1階調分のデータに表示原色ごとに異なる値を入力し、前記表示装置の表示部に印加される電圧値を表示原色ごとに変化させることで、異なる表示原色間での輝度を調節することを特徴とする。

【0023】本発明の第17の態様によるマトリクス型表示装置は、Mビットのデータ入力を持つマトリクス型表示装置であって、少なくとも 2^{M-N-1} 個の複数の

階調レジスタと、前記階調レジスタにシフト制御信号によりシフト量指示信号に基づいたシフト処理を行う階調レジスタ回路と、MビットのデータをNビットのデータに変換する階調デコード部を具備し、前記複数の階調レジスタは0と1の割合が1対 $2^{M-N}-1$ から1対1まで順に1つつ1もしくは0のビットの数が異なり、1がオン、0がオフを示すとする前記階調デコード部は前記Mビット入力データの上位 $M-N$ ビットデータが0または $2^{M-N}-1$ 以外の場合には前記複数の階調レジスタのうち1の個数が前記上位 $M-N$ ビットデータの値と等しい階調レジスタAと、1の個数が前記上位 $M-N$ ビットデータの値よりも1つ多い階調レジスタBの値を参照し、前記階調レジスタAと前記階調レジスタBの値が等しくなければ前記Mビットデータの下位Nビットの値を出力する。前記階調レジスタAと前記階調レジスタBの値が等しければ、前記Mビット入力データの最上位ビットが0の時には前記階調レジスタAもしくは前記階調レジスタBと同じ値をNビット全てに出力し、前記Mビット入力データの最上位ビットが1の時には前記階調レジスタAもしくは前記階調レジスタBと反転した値をNビット全てに出力し、1の個数が1個である前記複数の階調レジスタを階調レジスタCとすると、前記Mビット入力データが0の場合には前記階調レジスタCの値が1のときに前記Mビット入力データの下位Nビットを出力し、0のときにNビット全て0を出力し、前記Mビット入力データが1の場合には前記階調レジスタCの値が0のときに前記Mビット入力データの下位Nビットを出力し、1のときにNビット全て1を出力し、前記階調デコード部のNビット出力をパルス幅変調もしくはパルス高さ変調により階調表示を行うことを特徴とする。

【0024】本発明の第18の態様によるマトリクス型表示装置の駆動方法は、複数のビット幅(Mビット)のデータ入力を持つマトリクス型表示装置の駆動方法であって、M、Nは $M>N$ でありかつ整数とし、前記Mビットのデータ入力に対し、複数のレジスタから成る階調レジスタ回路と、前記階調レジスタ回路の階調レジスタを水平同期信号もしくは垂直同期信号によってシフト処理する階調制御部と、Mビットのデータ入力をNビットデータに変換するデータデコード部を具備し、前記データデコード部は前記階調レジスタ回路と上位 $M-N$ ビット入力を用いて、 $2^{M-N}-1$ フレームでフレームレートコントロールによる階調処理を行い、前記 $2^{M-N}-1$ フレームとは異なる1フレームには入力Nビットを用いて、パルス高さ変調による階調処理を行い、更に前記Nビット出力とは異なる1ビットを出力し、前記1ビット出力は、フレームレートコントロールによる階調処理を行う間は前記フレームレートコントロール出力の1ビットと同一出力を出力し、パルス高さ変調による階調処理を行うときには0を出力し、セグメント信号線へ出力する信号の強度が前記Nビット出力と前記1ビット出力と

の和により定められることを特徴とする。

【0025】

【発明の実施の形態】以下、本発明の実施の形態について添付の図面を参照しながら詳細に説明する。なお、添付の図面において同様の構成要素については同一の参照番号で示すものとする。

【0026】(実施の形態1)図1は映像信号入力13に対し、フレーム変調(FRC)による階調表示を行うためのセグメント信号線にオンもしくはオフの信号を出力するためのブロック図を示したものである。

【0027】12は各階調に対応したFRCデータを出力するための階調レジスタ回路、14は階調選択部、15は表示データ線である。階調レジスタ回路12は、図2に示すように、階調パターンデータ23を発生する階調レジスタ部21(21a, 21b, 21c)と参照位置変更部22(22a~22f)を備える。即ち、階調ごともしくはオンとオフのフレームの比が異なるごとに異なるレジスタを持ち、そのレジスタはフレームごともしくはラインごとにフレームシフト制御信号24もしくはラインシフト制御信号25によりレジスタをシフトさせる量を指定するシフト量指示信号26であるフレームシフトもしくはラインシフトで与えられたビットだけシフトする。本発明ではシフト量は右にシフトした量で説明を行うが左にシフトさせても同様な効果を得られる。これは(左シフトの量)=(全ビット数)-(右シフト量)となり単なる数字の表現の違いにすぎないためである。

【0028】図3にレジスタがシフトされる様子を示す。これは図2中の階調レジスタ部21で行われる動作を示している。ここでは階調が1/7の場合で、ラインごとのシフト量(ラインシフト)が1、フレームシフトが3の場合で示す。また、簡単にするため表示色ごとのシフトについては無視し、R出力単色で説明する。同図において、白丸31はオンの画素、斜線黒丸32はオフの画素を示す。

【0029】階調が1/7であることから7フレーム中1回オンとなる階調であるためレジスタはフレーム数と同じビット幅を持つ。また、オンを示す1を1つ持つ(もちろんオンを0として1と0の数を逆にしても構わない)。

【0030】1行目を出力した後、ラインシフト制御信号25によりラインシフトがシフト量指示信号26である階調に対応したラインシフトの量だけレジスタが右にシフトされる。図3においても(a)から(b)に示すように右に1つシフトされる。2行目から3行目においても(b)から(c)に示すように3行目では2行目に対し1シフトされる。この操作が1行目から最終行まで繰り返し行われる。つまり、ラインシフト量をLとするとN行目のレジスタ出力はN-1行目のレジスタ出力からLビット右にシフトされたものとなる(Nは2以上表

示行数以下の自然数)。

【0031】一方、1フレーム目最終行から2フレーム目の1行目でのレジスタ出力の変化は図3に示すように1フレーム前の1行目のレジスタ出力からフレームシフト量だけ変化させたものとなる((a)から(d)への変化)。一般に、第Mフレーム1行目の階調レジスタ部21の出力は第M-1フレームのレジスタ出力からフレームシフトFだけ右にシフトしたものとなる(Mは2以上の自然数。Mが1の時はレジスタの初期値を用いる)。

【0032】このように、最終行から1行目へのシフトがラインごとのシフトと異なるのは、1画素に注目しFRCが完結するフレーム数で階調レジスタ部21のすべてのビットを確実に出力できるようにすること、行ごととフレームごとで異なるシフトを行うことでオンオフパターンをランダムにしてフリッカを低減するためである。階調1/7を表示するためには7フレームで1回オンとなることであるから7ビットの階調レジスタを7フレーム間で7ビットの出力をどういう順であれ、すべて出力すれば確実に表現可能である。これを行うためにフレームシフトによりレジスタのシフト処理を行うようにし、フレームシフトを行うための信号であるフレームシフト制御信号24を1フレームごとに入力し、階調レジスタ部21のシフトを行っている。

【0033】また、オンオフパターンを空間的に分散させるための手段としてフレームシフトを行った。階調レジスタ部21の出力は図4に示すように最上位ビットを1列目に、2番目の上位ビットを2列目とし、iビットレジスタの場合、i列目まで接続する。次に、i+1列目は再び最上位ビット、以下同様に最終列まで順に接続する。なお、これは表示色ごとに行われる。これにより同一行上の画素を見ると表示列数が階調レジスタのビット数の倍数であれば表示階調と同じ割合のオンオフパターンが分散されて表示される(この場合も最上位ビットから1列目に接続するのではなく、最下位ビットから1列目に接続してもよい)。

【0034】さらに、同一列画素に注目するとラインシフトを行うことでオンオフパターンを分散させることが可能である。これはラインシフト制御信号25を1行ごとに入力することで実現できる。ラインシフトを行わない場合、同一列でのオンオフパターンは分散されないが、ラインシフトを行うことで図5のように全画面に同一階調表示を行う場合において列方向においても表示階調と同一割合でオンオフパターンを表示することが可能となる。図5において、51はラインシフト(この場合1)、52はフレームシフト(この場合3)を示す。

【0035】これにより図5に示すようにオンオフパターンを面内及びフレーム間で分散させることが可能となる。なお、カラーパネルでは3原色表示を行うため本来、赤、緑、青の画素もしくはシアン、イエロー、マゼ

ンダの画素が交互に隣接して配置されるが、ラインシフト及びフレームシフトの効果を表現するため単色パネルでの画素のオンオフパターンを示している。

【0036】また、階調ごとに階調レジスタ部21のビット長もしくはオンを示す1の数が異なるため、これらの異なる階調では異なるレジスタを用意し、図2のように各階調ごとに異なるパターンが出力されるようになっている。

【0037】これら階調ごとのパターンは図1に示すように、各階調とも1ビットずつ階調選択部14に入力され、映像信号13から送られてきた階調データに対応したパターンが表示データ線15に出力され、表示部へ送られる。なおこの際、階調0及び階調1は常にオフもしくはオンであるため空間的・時間的にパターンを分散させる必要がないため、階調選択部14での制御で対応することが可能であることから階調レジスタ回路12には格納されない。これにより各階調選択部14の入力信号線数を削減でき、回路規模を小さくすることが可能である。

【0038】ここまでは、単色で説明を行ってきたが、カラー表示装置においては3色を用いてカラー表示を行う。この3色は赤、緑、青であることが多いため本発明ではこの3色を用いた表示装置で説明を行うが、シアン、イエロー、マゼンダという3色を用いた表示装置でも同様に効果がある。なお、赤、青等の2色表示であっても本発明は適用できる。また、赤、緑、青、イエローのように4色表示以上であっても本発明を適用できる。

【0039】同一色において隣接の画素のオンオフタイミングをずらすことでフリッカを低減することを考えてきたが、カラー表示を行う表示装置においては図6に示すように隣接画素は異なる色であることが多い。図6において、61は第1の色を表示する画素、62は第2の色を表示する画素、63は第3の色を表示する画素を示す。図6(a)に示すようなストライプ配置や図6

(b)に示すようなデルタ配置であっても、同一色画素に比べ異なる色の画素と隣接することが多いことがわかる。また、ストライプ配置については横方向に同一色を並べる方法であっても同様である。もちろん、デルタ配置であっても同様である。

【0040】このような異なる色の画素間でオンオフタイミングを変化させることは、さらなるフリッカの低減に有効である。そこで図2に示すように、同一階調において表示色ごと(例えば、赤、緑、青)に異なるレジスタ出力を行うようにする。図2の例では階調1のレジスタ出力(階調パターンデータ)23に対し、赤色表示の画素(以降R画素)ではレジスタの値をそのまま用い、緑色表示の画素(以降G画素)では参照位置変更部22aにより出力のレジスタ値をGシフト(シフト量指示信号26c)で指定されたビット数だけシフトさせて出力する。青色表示の画素(以降B画素)においても同様に

参照位置変更部22bによりレジスタ出力(階調パターンデータ)23の値をBシフト(シフト量指示信号26d)で指定されたビット数だけシフトさせて出力させる。

【0041】この操作は階調ごとに別々に行われ、Gシフト及びBシフトの値は階調ごとに異なる値もとれることで、よりフリッカの少ない表示を行うことができる。また、参照位置変更部22では入力値に対し、GシフトもしくはBシフトで決められたビットのシフト処理を行うのみであるためラッチ処理は必要なく、レジスタが不要である。ある階調に対して3色とも階調レジスタ部21を持つことに比べてフリッカの発生程度は変化なく、レジスタ数が3分の1となるため回路規模を小さくしてICを設計することができる。

【0042】Gシフト及びBシフトにより階調1/7を全面表示した場合の1フレーム目のオンオフパターンを図7に示す。同図において、81はGシフト(この場合3)、82はBシフト(この場合4)を示す。Gシフト及びBシフトを行わない図8に比べオンオフパターンをランダムにすることができた。

【0043】階調1/7についてフリッカ低減のための手法を説明したが、他の階調においても同様にラインシフト、フレームシフト、Gシフト及びBシフトを用いることでフリッカが低減される。一般に、J/K階調(ここでJ及びKは自然数であり $J < K$ の関係を持つ)の表示を行う場合、階調レジスタ部21のビット幅はKであり、そのうちオンを示すビットの数がJ個存在すればよい。J個のオンを示すビットの配置については任意であるが、シフト処理によりフリッカ低減を行うには、レジスタの初期状態において連続してJ個のオンを配置することが望ましい。

【0044】フレームシフトを除く他のシフトについてシフト量は0以上 $(K-1)$ 以下のいずれでもよいが、フレームシフトについては、Kビットレジスタの全ビットが順番は任意であるが、FRC完結まで(この場合、Kフレーム)に各画素に1回必ず表示される必要があるため、フレームシフトの値をFとすると、 $F \times X$ の値(Xは自然数)がKの公倍数と等しくなる時のXの最小値がK以上でなければならない。

【0045】各階調ごとに図2に示すように階調レジスタ部21、シフト量指示信号26と参照位置変更部22を用意し、各階調の各表示色に対応するオンオフパターンを出力する。この出力を各セグメント信号線に出力する方法は、図4を用いて1/7階調の場合で説明したように最上位ビットを1列目に、2番目の上位ビットを2列目としてiビットレジスタの場合はi列目まで接続する。次に、 $i+1$ 列目は再び最上位ビット、以下同様に最終列まで順に接続する。

【0046】このようにして、各セグメント信号線に1ビットずつ各階調に対応したレジスタ出力が送られる。

各セグメント信号線には図1に示すように階調選択部14が設けられ、映像信号13の階調に対応したオンオフデータが出力されるようになっている。なお、この図1では階調0から階調6を表示する7階調表示を行う場合である。階調0及び階調6に対応する階調レジスタの出力がないのは、これらの階調は全てオフもしくは全てオンを示しているためで、階調選択部14内部にて映像信号13から階調0が入力された場合には、階調レジスタ部21の出力に関わらずオフの信号を表示データ線15に出力し、階調6が入力された場合には階調レジスタ部21の出力にかかわらずオンの信号を表示データ線15に出力すればよく、階調選択部14の内部で対応できるためである。

【0047】図9には5階調表示を行った時の階調レジスタ回路12と表示データ線15の関係を示した。なお、5階調表示の各階調は0、1/4、1/2、3/4、1である。なお、3階調目は2/4としてもよいが、レジスタのビット幅が4になるためシフト処理を行う回路規模が大きくなること、FRCを行うフレーム数が大きくなるためフリッカが発生しやすくなることから、1/2とする方が望ましい。

【0048】このように各階調を独立にシフト処理させることで、階調ごとに異なったフレーム数が必要なFRCの組み合わせとしてもよい。また、階調3/4は階調1/4のオンオフが反転したパターンであるので、階調レジスタ回路12は共通で使用し、階調選択部14で表示データ15に出力するオンオフパターンを反転させるかどうか決めればよい。これにより階調レジスタ回路12から階調選択部14への信号線数が減少すること、階調レジスタ回路12のレジスタ数が減ること回路規模を小さくすることができる。

【0049】階調レジスタ部21の出力には階調1/4の各表示色に対応した3つの4ビット出力($Kai41_R$ 、 $Kai41_G$ 、 $Kai41_B$)及び階調1/2の各表示色に対応した3つの2ビット出力($Kai21_R$ 、 $Kai21_G$ 、 $Kai21_B$)がある。R画素に出力される信号線にはR画素に対応したレジスタ出力としてセグメント信号線1に各階調レジスタのそれぞれ最上位ビットが入力され、セグメント信号線2以降には1ビットずつ下位のビットが(最下位ビットの次は再び最上位ビットに戻る)入力される。G画素、B画素についても同様である。このようにして各信号線にオンオフデータが出力される。

【0050】以上の発明を用いて各色16階調表示、つまり4096色表示を行った場合の各階調レジスタの初期値を図10に示す。16階調表示を行うために必要な最低フレーム数が従来15フレームであったが、12フレームに削減することができた。また、各階調間でオン割合の増加率は異なるが表示に際し支障はなかった。

【0051】また、16階調表示時においても5階調表

示と同様に階調レジスタ部21の数を減らすためオンとオフの割合が逆転している階調1と14、2と13、3と12、4と11、7と9で共通の階調レジスタ部21を用いることとし、階調選択部14において階調レジスタ部21の値が1の時にオンにするかオフにするかを入力データに基づいて決定することで回路規模を小さくした。これによりFRCによる階調表示を行うことが可能となった。

【0052】(実施の形態2)単純マトリクス型液晶表示装置において、動画表示を行うため高速応答性の液晶を用いて駆動を行うとフレーム応答によるコントラスト低下が生じるという問題がある。

【0053】これを解決する方法として、複数ライン同時選択法(Multi Line Selection Method: MLS)が提案された。この方法は複数行(L行)のコモン信号線を同時選択して走査電圧を印加し、それと同時にセグメント信号線から対応したデータに応じた電圧を印加する。この操作を全てのコモン信号線が選択されるまで行い、更に1フレームに対しコモン信号線から選択信号を少なくともL回印加する方法である。1フレームでL回信号を選択することができるためフレーム応答によるコントラスト低下を防止することが可能となる。

【0054】また、従来の線順次駆動ではオン電圧が2.5Vの液晶を用いた場合で240ライン表示を行う場合、コモン信号線電圧が26.49V、セグメント信号線電圧が1.71Vと2つの信号線の電圧差が大きい。複数ライン同時選択法ではコモン信号線電圧が $26.49/L^{1/2}$ (V)となり、セグメント信号線電圧が $1.71 \times L^{1/2}$ (V)となるため、コモン信号線とセグメント信号線間の電圧差が小さくなり、コモン信号線及びセグメント信号線の回路を同一チップに設計できるようになる。

【0055】これにより図11に示すように、絶縁体基板191上において、表示部193に対しドライバIC192を1辺にのみ基板上に実装し、残りの3辺にはICを搭載しないようにして、機器に対し左右対称に表示部を配置することが可能という利点がある。

【0056】本発明では4行同時選択法(MLS4)を用いて階調表示を行うことにした。コモン信号線の各行の1フレーム間の電圧値は図12に示される直交関数により決められる。この直交関数の列の数はコモン信号線の数と一致しており、1列目のコモン信号線は直交関数の1列目の値を1フレーム間で1行目から順にとって、データに対応した電圧値を出力する。以降2列目の値は2行目のコモン信号線電圧の変化を示し、列の数はコモン信号線の数を示していることになる。一方、行方向に対しては時間(シーケンス)を示し1行目から最終行までで1フレーム期間を示している。従って、1つの値に対して印加される時間は1フレーム期間/行数となる。

なお、本発明は4行同時選択法(MLS4)に限定されるものではない。たとえば、2行同時選択法(MLS2)であってもよい。つまり、複数行を同時選択するいずれの方法にも適用できる。

【0057】つまり、列がコモン信号線に印加する電圧波形の時間による変化に対応し、行がある時間での表示装置のコモン信号線に印加する電圧波形に対応する。各要素は1の時は正の選択パルスを、-1の時は負の選択パルスを、0の時は非選択パルスをコモン信号線に印加する。

【0058】一方、セグメント信号線に印加する電圧は図13に示すように入力信号線の行列と図12に示した直交関数の行列Hを掛け算した結果で与えられる。

【0059】入力信号S121は1フレーム分のオンオフデータを持ち、-1をオン、1をオフとして-1と1の2値を用いた行列となる。また、行の数はコモン信号線の数、列の数はセグメント信号線の数に対応する。

【0060】 $H \times S$ の演算結果に応じて5値の電圧を印加する。列がセグメント信号線の数に相当し、行が各セグメント信号線の時間変化に相当する。このようにして印加されるセグメント信号線とコモン信号線の間にかかる電圧値により画素のオンオフ表示が行われる。

【0061】ある時間におけるセグメント信号線に印加する電圧を計算するには直交関数H125のある1行と、入力信号S121のある1列の各要素が必要となる。ここで、図12に示すように直交関数H125の1行には4つを除き0が入り、0に対応した入力信号S121の要素との演算が常に0になることを利用して、行選択を行った画素のデータと選択信号の要素の行列計算を行うようにする。

【0062】これにより演算に必要な回路及び時間は削減される。従って、 $H \times S$ の行列演算によるセグメント信号出力を行うには図1及び図9で示した階調選択部14から4行分のデータが送られてきて、順に直交関数行列と掛け算をした後、4行分のデータの和を出力すればよい。また、映像信号は通常表示領域の上の行からもしくは下の行から順に送られてくることが多いため、選択する4行は連続する4行とすることが望ましい。

【0063】図14に階調レジスタ回路12、階調選択回路131とMLSによる駆動を行うための演算部132、演算結果に応じたセグメント信号線電圧を出力するための電圧選択回路135を示したものである。ここでの反転処理回路137とは表示部に交流電圧を印加するために正の選択パルスである1と負の選択パルスである-1を入れ替えるためのものである。

【0064】階調選択回路131から演算部132へ4行分のデータが送られた後に演算部132から出力があるため、階調選択回路131から演算部132へのデータの転送は4倍の速度で転送されるか、4行分を同時に処理して並列に転送させるかいずれでもよい。本発明で

は4倍の速度で転送して処理を行う例で説明する。

【0065】階調選択回路131及び階調レジスタ回路12においてシフト処理を行い、FRCによりMLS駆動における階調表示を行った。

【0066】その結果として、セグメント信号線5値(大きい順から電圧値 $V2 (=2 \times V1)$ 、 $V1$ 、 Vc 、 $-V1$ 、 $-V2$ とする)のうち、 $V2$ もしくは Vc もしくは $-V2$ が表示されるとフリッカ及びセグメント信号線に沿った筋状のムラが目立つようになった。

【0067】4行同時選択法においては、図13に示したようにセグメント5値の電圧のどれをとるかを入力信号 $S121$ と直交関数 $H125$ の演算によって決まる。演算結果が4の場合は電圧値 $V2$ 、2の場合は $V1$ 、0の場合は0、 -2 の場合は $-V1$ 、 -4 の場合は $-V2$ となる。直交関数 $H125$ は図12のように与えると、演算結果が ± 4 もしくは0となる場合は、同時選択される4つの画素についてオンとオフの画素の割合が3対1もしくは1対3となる。

【0068】図7で行ったようにオンオフ画素を分散させる時、連続する4行(ここでは1行目から順に走査する)に注目するとオンとオフの画素の比が1対3もしくは3対1となりやすい。特にオン(もしくはオフ)となる階調レジスタ部21のうちの1つとなりやすい。これを防ぐにはラインシフトの値を2ラインごとに同一列にオン(もしくはオフ)パターンがくるようにする方法がある。この方法ではラインシフトのとり得る値に制限がかかる上に、階調1/7などではラインシフトの値を調整しても2ラインごとに同一列にオン(もしくはオフ)パターンがこない。

【0069】そこで、同時選択される4行のうち偶数行の2行で同一オンオフパターン、奇数行の2行で同一オンオフパターンとすることでシフト量に関わらずオンとオフの画素の割合が2対2もしくは4対0(0対4)となるようにし、フリッカ及びセグメント信号線に沿った筋状のムラを低減した。

【0070】図15にR画素のみの階調1/7の時のオンオフパターンを示す。この例ではコモン信号線は1行目から順に4行ずつ選択されるとして説明する。つまり、コモン1からコモン4までがまず同時に選択され、次の期間ではコモン5からコモン8、というように選択される。コモン1からコモン4までに注目すると、各列ともに同時選択される4行においてオンとオフの画素の比が2対2もしくは0対4、となるため、セグメント信号線に印加される電圧は $\pm V1$ となる。G画素及びB画素においては、このパターンが右方向(もしくは左方向)に全体にシフトするだけであるため、G画素及びB画素でもセグメント信号線に印加される電圧は $\pm V1$ である。

【0071】同時選択される4行の組のうちの偶数行のパターンを変化させるシフトを偶数奇数シフト53とす

る。ラインシフト51は4行の組が変わるごとに実行されるようにした。フレームシフト52はこれまで通りフレームが変わるごとに前のフレームのパターンに比べどれだけパターンをシフトさせたかの量である。

【0072】このようなオンオフパターンを実現するために階調レジスタ回路12の構成を図2に示したのから図16に示すように変更した。図2と異なる点はレジスタのシフト処理を行うための制御信号の1つであるラインシフト制御信号25、フレームシフト制御信号24の他に偶数奇数シフト制御信号152を設け、ラインシフト制御信号25は図2では入力映像信号の1行ごとにパルスを出しシフト制御を行っていたのを、同時選択行の数である4行ごとにパルスを出すこと、さらに偶数奇数シフト制御信号152では1行ごとにパルスを出すようにした。

【0073】また、偶数奇数シフト処理部151を設け、階調レジスタ部21の出力を4行の組のうち偶数行のデータに対応する時のみレジスタを偶数奇数シフトの値に応じてシフト処理するようにした。

【0074】図17に入力映像信号と各制御信号、レジスタパターンを示す。階調レジスタ部21ではフレームシフト制御信号(FSF)24が入力されると階調レジスタをフレームシフト量に基づいてシフト処理を行う。また、FSF24が入力されていない場合でラインシフト制御信号(LSF)25が入力されると階調レジスタをラインシフト量に基づいてシフト処理させる。これによりフレームごとのフレームシフト、4行ごとのラインシフトが実現できる。

【0075】偶数奇数シフト処理は偶数奇数シフト処理部151にて行われ、LSF25及び偶数奇数シフト制御信号(ASF)152により同時選択される4行のうちの偶数行を検知し、偶数行のデータに対応した階調パターンデータ23が入力された時に偶数奇数シフトの値に応じて階調パターンデータ23をシフト処理する。奇数行のデータに対応した階調パターンデータ23の場合にはシフト処理を行わないでレジスタを出力する。

【0076】これにより階調パターンRの出力は例えば1/4階調の場合でラインシフトが1、フレームシフト3、偶数奇数シフト2において、図17に示すように出力される。

【0077】図18に3原色すべてに1/7階調表示を行った時のあるフレームでのオンオフパターンを示す。同時選択される4行(コモン1から4、コモン5から8など)においてオンオフパターンが1対3もしくは3対1とならないため $\pm V2$ 及び Vc が出ず、フリッカ及びセグメント信号線に沿って発生するムラを低減することができた。

【0078】図10に示す階調レジスタを用いて各色16階調表示(4096色表示)を行った時の各シフト量の値を図19に示す。このようなシフトを行ってFRC

により階調制御を行った時にフレーム周波数75Hzでフリッカの少ない表示が可能となった。

【0079】図18のパターンは図8のパターンに比べシフトを行うパラメータが増加していることからオンオフパターンをよりランダムにでき、低フレーム周波数でもフリッカの少ない表示が可能となる。

【0080】また、図18のパターンを実現するために変更した点は図16で説明したようにシフト量を制御する信号を1つ増やし、偶数奇数シフト処理部151を設けた点だけであり、必ずしも複数ライン同時選択法である必要がない。従来の線順次駆動においても実施が可能である。その場合、図14に示した演算部132、直交関数ROM136などが不要で、階調選択回路131の出力をセグメント信号線に出力すればよい。

【0081】図20に示すように、薄膜トランジスタ(TFT)などを用いたアクティブマトリクス型表示装置においても、本発明によるFRCによる階調表示が可能である。例えば、ソースドライバ202において表示データ線15に出力されるオンオフデータに対応する電圧値を対向電極209の電位に応じて出力することで実現可能である。

【0082】さらに表示素子としては液晶ばかりでなく、有機発光ダイオード(OLED)、発光ダイオード(LED)、無機エレクトロルミネッセンス(EL)素子、プラズマディスプレイパネル(PDP)、電界放出ディスプレイ(FED)など、オンとオフの2値状態を表現できる表示素子であればどの表示素子にも適用可能である。もちろん、MLS方式などを採用すれば2値以上の状態を表現できる表示素子(表示ディスプレイ)にも適用可能である。

【0083】複数ライン同時選択法における4ライン同時選択法の場合について説明したが、一般にLライン同時選択においてもL行の画像データが同時に転送される構成となるため、L行ごとにパターンを変えることで、同様な効果が得られる。

【0084】多色化により表示階調数が増加するとFRCによる階調表示においては階調表示に必要なフレーム数が増加し、フリッカが発生しやすくなる。フリッカの発生を抑えるためにはフレーム周波数を増加させる必要がある。しかし、フレーム周波数の増加は消費電力の増加につながるため、なるべく低い周波数で駆動させることが望ましい。

【0085】そこでFRCによる階調表示方法とパルス幅変調法(Pulse Width Modulation: PWM)もしくはパルス高さ変調法(Pulse Height Modulation: PHM)を組み合わせて表示を行うこととした。

【0086】この方法はPWMのみを用いて階調表示を行うことに比べると、1水平走査期間でのパルスの刻み数が少なくなるため信号線の抵抗及び浮遊容量と負荷の

浮遊容量によって発生する波形なまりによる輝度変化の影響を小さくできるという利点がある。

【0087】また、PHMのみを用いて階調表示を行うことに比べると、セグメント信号線に必要な電圧値の数が減少するため、階調間の刻み幅が大きくなり出力精度のばらつきによる階調反転の影響を小さくすることができる。また、出力のデジタルアナログ変換器をなくし、必要な電圧値のうちの1つを選択して出力するセレクトによって出力させるという方法も可能である。

【0088】(実施の形態3)図21は、6ビット信号に対し、FRCとPWM(もしくはPHM)を用いて階調表示を行う方法を示す。

【0089】図21(a)に示すように、6ビット入力に対し上位2ビットをFRC処理、下位4ビットではPWMもしくはPHMを行うとすると、2ビットデータでFRCの処理を行うためFRCに必要なフレーム数は3フレームである。このうちオンとなるフレームの数を2ビットのデータにより決定し、図21(b)の211で示す3フレームのようなオンオフパターンとなる。

【0090】なお、ここではフリッカ低減のためのシフト処理については考慮せず、オンとオフの割合についての記述する。実際には画素によりオンとなるフレームが異なる。次に、1フレームを用いて下位4ビットのデータをそのまま出力する(図21(b)の212)。このように、FRCの違いにより4通り、更にそれぞれ212のフレームにより16通りの階調をとるため、64階調表示を行うことが可能となる。

【0091】なお、この方法は入力が6ビットに限らずMビットデータに対しても実施可能であり、下位Nビット(ここで $M > N$)でPWMもしくはPHMを行い、上位 $M - N$ ビットでFRCを行うことで、FRCで $2^{M - N}$ 階調、PWMもしくはPHMでそれぞれのFRCパターンに対し 2^N 階調表示できるため、 2^M 階調表示が可能となる。

【0092】なお、Nの値は $M > N > 0$ であればよいが、Nが小さくなるとFRCのフレーム数が増加しフリッカ防止のためにフレーム周波数を上げる必要が出ることで、フレーム周波数の増加による水平走査期間の減少ならびに1つのパルス幅減少による階調変化が出ることから、 $M - N < 4$ となることが望ましい。このときFRCにより16階調表示を行うことから実施の形態1及び2でのフリッカ処理方法並びに階調レジスタを用いることでフレーム周波数75Hzで表示可能となる。

【0093】図21のようなパターンを実現する方法及び同一フレーム内で画素によりオンオフパターンを変化させる方法を図22及び図23に示す。ここでは映像信号13を6ビット、PWMもしくはPHMにより16階調を表現する場合で説明を行う。全階調を表現するために必要なフレーム数は図21(b)に示すように4フレームである。従って、階調レジスタ部21に格納される

レジスタのビット長は4ビットである。

【0094】図23において、映像信号13の上位2ビットの値が0の場合、4ビットのうち1ビットのみを1とし、残りの3ビットを0とする。1のときには表示データ線15に映像信号13の下位4ビットを出力し、0の時はFRCのオフを示す0を出力する。映像信号13の上位2ビットの値が3の場合、1のときには表示データ線15に映像信号13の下位4ビットを出力し、0の時はFRCのオンを示す15を出力する。この時に用いた階調レジスタ部21をレジスタkaとする。

【0095】映像信号13の上位2ビットの値が1または2の場合、4フレーム間でオンとオフと映像信号の下位4ビットを出力する3つのパターンが発生する。従って、この3パターンを判別するのに、レジスタ値が0、1、2の3値が必要となることから階調レジスタ部21は倍のビット幅を持つか、2つの階調レジスタ出力を参照する必要がある。

【0096】階調レジスタ部21が倍のビット幅をもつと、ラッチ部の増加、シフト処理部の増加により回路規模が増大する。また、階調レジスタ回路12から階調デコード部231への配線数が増加する。

【0097】そこで、回路規模を小さくするため3値のFRCを行う際に2つの階調レジスタを持つようにし、そのうちの1つの階調レジスタ部21はレジスタkaを用い、階調レジスタ1つ分を異なる階調間で共用する。これにより上位2ビットが1もしくは2の場合はレジスタka及びレジスタkbを用いて処理を行う。この方法は階調が1つ増えるごとに階調レジスタは1つしか増えないため回路規模の削減に有効である。

【0098】図21(b)に示すパターンを実現するにはレジスタkbは2ビットが1で2ビットが0とし、上位2ビットが1の場合、レジスタka及びレジスタkbが0の時にオフを出力し、レジスタka及びレジスタkbが1の時にオンを出力し、レジスタkaとレジスタkbの値が異なる時に映像信号の下位4ビットを出力するようにする。

【0099】図24に階調レジスタka及びkbの初期値を示す。レジスタkbにおいて実施の形態1及び2の場合と異なり、0及び1を交互に配置している。これは4ビットレジスタであるためフレームシフトのとり得る値が1もしくは3のみであり、1及び0を連続して配置すると図25(a)に示すように2回のオンもしくはオフが連続したフレームで発生するためである。交互に配置することで図25(b)に示すように1フレームおきに発生するようにできた。これにより2値のFRCで考えると2フレームで完結するFRCに近くなるため、フレーム周波数を低下させることができる。

【0100】また、図26に階調デコード部231の入出力関係を示す。この場合、レジスタka及びkbの各シフト量は常に等しくする必要がある。これは上位2ビ

ットが1もしくは2の場合に2つのレジスタを参照するためオフ、オン、下位4ビット出力の数を変化させないためである。

【0101】図22は図23に示した階調レジスタ部の内部を示したものである。図16で示した構成と比べ、階調レジスタ部21のシフト量指示信号26が全てのレジスタに対し共通となっている点が異なる。

【0102】図24に示すように、レジスタkbの初期値を1010としたことは2つの2ビットレジスタの値10を2つ並べたものと同じである。そこで、レジスタkbを4ビットから2ビットにしてその初期値を10とし、レジスタkaと同じだけ、レジスタをシフト処理させてもよい。階調表示部の配線についても図23のkb[2]をkb[0]に、kb[3]をkb[1]とすれば4ビットレジスタ時と同様の値を階調デコード部231へ入力することができる。

【0103】これによりレジスタkbにおいては4ビットシフト処理が2ビットシフト処理となるため、回路規模を小さくすることが可能となる。シフト量をレジスタka、kbとも同一にするには、kaのシフト量が0、1の場合、kbも0、1にして、kaのシフト量が2のときはkbのシフト量を0にして、kaのシフト量が3のときはkbのシフト量を1にすればよい。

【0104】階調24及び階調40について図25を用いて説明したが、レジスタkbの値を参照する階調16から47のすべての階調においても同様に、フリッカ低減効果が現れた。この場合も同様に階調16から31で存在する2フレームのオフ及び階調32から47で存在する2フレームのオンをレジスタkbの初期値を変更することでばらつかせることが可能となるため、フリッカを低減することができる。

【0105】図27は、図22から図24、図26の構成を用いて64階調表示を行った時のある画素における各階調でのフレームごとのオンオフパターンを示している。階調0から15の間においては4フレーム中1フレームでオフとは異なるデータを出力する。この異なるデータは階調が上がるほどオンである15に近づき、一方で階調が小さいとオフに近いデータを出すためフリッカは階調が上がるほど目立ちやすくなる。また同様に、階調48から63の間においては階調が小さいほどフリッカが目立つ。階調16から31においてはオン・オフ・0から15のいずれかの値・オフと表示される。

【0106】階調が上がるにつれオン・オフ・オン・オフと2フレーム完結のFRCに近づくためフリッカが目立ちにくくなる。同様に、階調32から47の間においては階調が下がるほどフリッカが目立ちにくくなる。そのため、全階調の中で最もフリッカが目立つ階調は15、16、47、48である。これらの階調は2状態のFRCでかつ4フレームで完結するものである。従って、フリッカがなくなるフレーム周波数は4フレームF

RCと同様に60Hzとなった。

【0107】このときのフレームシフトの値は1、ラインシフトの値は3、偶数奇数シフトの値は1、Gシフトの値は3、Bシフトの値は1であった。ある1フレームにおけるオンオフパターンを図28に示す。

【0108】パルス幅変調のみで表示を行う場合、セグメント信号線電圧値によっては、クロストークが発生し、FRCのみの階調表示では180Hz必要であることから、組み合わせにより低電力、クロストークレス駆動が実現できた。

【0109】また、このようにして階調デコード部231から出力した4ビットの表示データ線15をセグメント信号線に出力する場合に16階調をパルス幅変調により表示しても、パルス高さ変調により表示してもフリッカの発生に影響はなかった。

【0110】一般に、図29(a)に示すようにMビットの映像信号に対し、上位M-Nビット、下位Nビットに分け、 $2^{M-N}-1$ フレームを用いてFRCによる階調表示を行い、更に1フレーム内でPWMもしくはPHMにより階調表示を行う場合には、階調レジスタ回路12には図30に示すように少なくとも $2^{M-N}-1-1$ のレジスタが必要となる。これらのレジスタを0の個数が少ない順からレジスタ0、レジスタ1、レジスタ2とする。各レジスタのビット長は全て同一でレジスタXにおいて図29(b)のように0及び1が配置されている。

【0111】階調レジスタ回路12と階調デコード部231の関係を図30に示す。この図30では同一表示色の画素のみを表示しているため3原色出力に対応する各レジスタ3つの出力のうち1出力のみを記載している。

【0112】Mビットの映像信号13に対し、階調デコード部231で図31に示すように上位M-Nビットのデータを参照し、データに応じた各セグメント信号線に対応する階調レジスタの出力により、Nビット出力を全て0とするか全て1とするか入力下位Nビットの値を出力するかを選択する。

【0113】階調レジスタ回路12は図22と同様な構成で、レジスタの数及びレジスタの出力ビット幅が異なるだけである。全てのレジスタのシフト量指示信号26はレジスタ間で同一値である。なお、ラインシフト、フレームシフト、偶数奇数シフト、Gシフト、Bシフトの値は全てのレジスタで同じであればそれぞれ自由に設定できる。

【0114】フリッカの低減のためにFRCに必要なフレーム数を減らすため階調レジスタのビット長を短くすることもできるが、この場合、階調レジスタXと階調レジスタX-1について一方のレジスタのビット長を他方のレジスタのビット長で割り切れてかつ商が整数である必要がある。ビット長を短くした階調レジスタのシフト量についてはシフト量がビット数を超える場合、シフト

量からビット長を引いた値とする。もし、これでもビット数を超える場合、ビット数未満の値になるまでビット長だけ引き算を繰り返して行い、階調レジスタのシフト量とする。

【0115】階調デコード部231のNビット出力信号である表示データ線15をPWMもしくはPHMによりセグメント信号線に印加することで階調表示を行う。

【0116】PWMを用いるかPHMを用いるかであるが、フリッカの発生度合いに差はないが、駆動方法において構成が変化する。例えば、アクティブマトリクス型表示装置においてPWMを行おうとすると行選択期間にPWMにより刻まれたパルスの数だけデータを各画素ごとに記憶しておく必要があり、1行の走査時間が短くなる。また、配線容量などにより波形がなまると所定の信号を画素に記憶することができないという問題がある。また、走査期間を長くするために行走走をランダムに行う方法もあるが、ゲートドライバの構成が複雑となる。従って、PHM方式を用いて階調表示を行うことが好ましい。

【0117】また、図32に示すようにPHWにより階調表示を行う場合、Nビットの表示データ線15に対し、デジタル-アナログ変換器を用いてアナログ信号としてセグメント信号線207に出力する方法や、例えばN=4の場合、表示素子の階調特性に応じた16値の電圧値を用意し、表示データ線15の値によりセクタ311を操作して16値の電圧値のうちの1つをセグメント信号線207に出力するなどの方法がある。これらの機能を図20のソースドライバ202に導入することでアクティブマトリクス型表示装置において本発明による階調表示法を実現できる。なお、ソースドライバ202は低温あるいは高温ポリシリコンを用いて表示部204と同一基板上に形成させてもよい。もちろん、ゲートドライバもポリシリコン技術を用いて形成してもよい。このことは単純マトリクス型表示装置においても適用できる。

【0118】パッシブマトリクス(単純)型表示装置の場合、セグメント信号線の電圧値を変えてPHMにより階調表示を行うと非選択画素の実効値を一定にするために補正係数をかける必要があるため回路が複雑となる。それゆえPWM方式を用いる方がよい。

【0119】PWM方式を用いるには1水平走査期間内のセグメント信号線に印加されるパルスを例えば 2^N 個に分割するか各信号線ビットの重みに応じてパルスをビットの数だけ分割することにより、オン状態の期間とオフ状態の期間を振り分ける手法がある。これによりNビットデータに対し 2^N 階調表示が可能である。

【0120】Nビットの表示データ線15に対し、図33に示すように各ビットのオンオフデータをセクタ322で検出し、ビットの重みに応じて各ビットのオンオフ情報に基づいてカウンタもしくは切り替え信号321

を用いて、1ビットのオンオフデータを出力する。

【0121】更に、レベルシフタ323を通して、表示素子に必要な電圧値に変換してセグメント信号線に出力し、コモン信号線との間にかかる電圧値に応じてオンオフが表示される。

【0122】表示装置は一般的に容量性負荷であり、パルスを印加すると立ち上がりおよび立ち下がり時に波形のなまりが観測される。また、オンとオフを繰り返すことは、パネルに電荷の充放電を行うこととなり、オンオフの繰り返しが進むほど消費電力が増大し、パルス数が増加するほど顕著になる。そこでオンを示すパルスとオフを示すパルスをなるべく隣接させるようにして、波形なまりによる表示領域の明るさの変化およびオンオフの繰り返しによる表示装置への充放電回数を減らすことで階調性を高め消費電力の小さい表示装置を提供する構成にするため、セグメント5値電圧の高い順もしくは低い順にパルスを印加するような構成を考えた。

【0123】そこで図34(b)に示すように、各ビットデータに対応した順でパルスをセグメント信号線に印加するのではなく、電圧値の順にパルスを印加するようにして、充電回数を減少させた。従来のパルス幅の順にパルスを印加した場合を図34(a)に比較例として示す。

【0124】また、従来、セグメント信号線の電圧値が同時に同一方向に変化することにより、容量性の負荷(表示素子)を介して、対向している電極(コモン信号線)にセグメント信号線の電圧変化が図35(a)に示すように微分波形として印加される恐れがある。この微分波形により画素に印加される電圧の実効値が変化し、輝度が変化する。

【0125】これを防ぐ方法として本実施の形態では、図35(b)に示すようにセグメント信号線ごとに、パルスの印加順を異ならせて、セグメント信号線の電圧変化のタイミングをずらすことで、コモン信号線に微分波形が印加されないようにした。

【0126】MLSにより駆動を行う場合、セグメント信号線のとり得る電圧値は同時選択行の数+1である。4行同時選択時においては5値の電圧値が発生する。従って電圧値順にパルスを印加することは充電回数の削減に効果がある。MLSにより表示を行う場合には表示データ線17以下に同時選択される行数分のデータを演算するための演算器が必要となるため、構成を変更する必要がある。

【0127】図36に表示データ線15のビット幅が4ビットの場合で、4行同時選択を行う場合について、演算部からセグメント信号線出力までのブロック図を示す。

【0128】また、表示データ線15は4ビットデータを4行分並列させているが、4行分はシリアルで順に送ってもよい。この場合、Ex-NOR351もしくはA

dder352においてラッチが必要となる。

【0129】PWMにより階調表示を行う場合、複数ビットの入力信号に対し、同じ重みのビットごとにMLS演算を行い、演算結果の出力期間をビットの重みに応じて変化させることで実現する。

【0130】MLSに必要な演算である図13で行った直交関数H125と入力信号S121の行列演算 $H \times S$ は直交関数の要素が1もしくは-1の要素とその要素に対応するデータ1もしくは-1との掛け算となる。ビットごとに演算を行うため入力信号がNビットであっても同じであり、演算部がN個となるだけである(もしくはN倍の速度でシリアルに処理してもよい)。

【0131】直交関数の1を0、-1を1とデコードし、入力信号の-1(オンを示す)を0、1(オフ)を1とデコードすると1ビット信号同士の掛け算は、イクスクルーシブノアールと結果が等しくなる。これをEx-NOR351にて行う。4行同時選択法では直交関数が1もしくは-1となる数が1行に4つであるためイクスクルーシブノアールの結果は4つ(q1、q2、q3、q4)出力される。

【0132】次に、4つのイクスクルーシブノアールの演算結果を足し算し、演算結果に応じて5値の電圧のうちの1つを出力する。この足し算をAdder352で行う。q1+q2+q3+q4の値が小さい順から-V2、-V1、Vc、V1、V2の電圧が当てはめられる。なお、図14の入力信号S121の要素は表示データ線15の出力を用いる。

【0133】4つのAdder352の出力をビットの重みに応じてセグメント信号線に出力すればよい。この場合、最下位ビットの演算結果であるAdder352dの出力期間に対し、Adder352cは2倍、Adder352bは4倍、Adder352aは8倍とし、順に出力すればよい。

【0134】ただし、この方法では必ずしも電圧順にセグメント信号線に出力されない。電圧順に変更するためには各Adder352の出力値を検出し、選択出力する必要がある。

【0135】Adder352の出力の検知と検知した結果から各電圧値を印加する時間を決め、セグメント信号線に出力するためにSelector354を設ける。

【0136】従来、セグメント信号電圧を出力するSelector354はAdder352の値0から4によって-V2からV2の5つの電圧値のうちの1つを選択する方法をとっていたが、この方法で電圧順にセグメント信号線に電圧波形を印加しようとする、各ビットのAdder出力(図36の場合、4つのAdder出力)の値をすべて参照し、電圧値順に並べ替え、ビットの重みにあわせてセグメント信号線への出力時間を変更することになる。これは-V2からV2の電圧値ごとに

このアルゴリズムを繰り返す必要があるため、セレクトに入力されるビット数が大きくなるにつれ回路規模がかなり大きなものとなる。

【0137】Selector部の構成を簡単化するため、本来Adder352の出力は2ビットであるのを取り得る電圧値の数である5ビットとする。Adder352の入出力の関係を図37に示す。出力5ビットは印加すべき電圧値に対応しており、 $q1+q2+q3+q4$ の演算結果に応じてある1ビットのみ1となり、他の4ビットは0となる。Adder352の各出力は、例えばswv2に注目すると352aから352dの4つのAdder部のうちswv2を4ビット幅としてSelector354に入力する。この時、入力データの最上位ビットを演算した結果から順にswv2[3:0]のバスの各ビットの値を決める。他の4つの出力についても同様である。

【0138】図36にAdder352からSelector354の接続を示す。これによりSelector354では5つの4ビット信号をswv2もしくはswmv2から順に参照し、各信号の値に応じてその電圧をセグメント信号線に印加する時間を決めることでSelector354の回路構成が簡単となる。

【0139】図38(b)に図36の構成を用いた場合のセグメント信号線の出力電圧波形を示す。従来の構成(図38(a))に比べて電圧変化の回数が減少し、セグメント信号線電圧の充電による電力を低減することができた。

【0140】以上、複数ライン同時選択法における4ライン同時選択法の場合について説明したが、一般にLライン同時選択においてもL行の画像データが同時に転送される構成となるため、Ex-NOR351の入力がL本となること、また演算結果もq1からqLのL個となり、Adder部の出力信号線もセグメント信号電圧のとり得る値がL+1個となるためL+1本となる。つまり、一般にL行同時選択でも同様に実現可能である。

【0141】なお、表示装置としては、液晶だけでなく、有機発光素子(OELD)やプラズマディスプレイパネル、無機EL素子など、複数の階調表現を行う表示装置であれば同様に階調表示部に本発明を適用することで実現可能である。

【0142】(実施の形態4)本発明の階調表示方法では例えば6ビット入力時には図27に示すように、異なるFRC処理をする境界の2階調間で同一輝度となる。図27では階調15と16、31と32、47と48にあたる。つまり、境界線の数だけ階調が減少する。これはFRCを行うフレーム数と一致し、一般にMビット入力時にPWMもしくはPHMでNビット表示を行うとするとFRCで $2^M - N - 1$ フレームを用いることから、 2^M 階調に対し、 $2^M - N - 1$ 階調減少するということである。

【0143】例えば、6ビット入力時に4フレームで表示を行うと64から61階調となる。この場合、人物画などを表示しても階調減少は画像から確認できない。一方で、4ビット入力時に4フレームで表示を行うと16から13階調表示となり、人物画等での観測でも階調数の減少が確認できた。

【0144】表示階調数が減少する理由として、64階調表示時、4フレームで階調表現を行う例で説明する。図27に入力64階調の各階調についてオンオフパターンを示す。階調15と16に着目すると階調15のオンオフパターンは、下位4ビット出力(15)、オフ(0)、オフ(0)、オフ(0)となる(括弧内は階調デコード部から出力される4ビットの値)。階調16についてはオン(15)、オフ(0)、下位4ビット出力(0)、オフ(0)となり、2つの階調について4フレーム間での4ビット出力値が同じとなり、その分出力階調が減少する。

【0145】図27では他に階調31、32間、階調47、48間でも同様に異なる入力階調に対し、出力が等しくなっている。このような現象は一般には上位M-Nビットの値が変化する前後の階調間で発生する。その結果、 $2^M - N - 1$ 階調分、入力に対し出力の階調が減少するのである。このような上記階調数減少を防ぐ方法について検討を行った。ここでは簡単にするため入力4ビットで、4フレームで階調表示を行う場合について説明する。

【0146】図39(a)に各入力階調における階調デコード部231の出力値を示したものである。ここでフレーム1から4は便宜上割り振ったものであり、4フレーム中に1から4の各フレームを一回選択すればよく、順序は変化してもよい。

【0147】このようにデコード出力を行うと、各フレームのパルス幅の関係は図39(b)のようになる。全ての階調において4フレーム中、3フレームは0もしくは3のどちらかのみをとるためパルス幅3のパルスのみを用意し、残りの1フレームでは0から3のいずれかをとり、パルス幅1と2の2つのパルスを用意する。従って、各パルスのオンオフにより、4フレームを用いて0から12の13階調表現しかできないことがわかる。これは各フレームのパルス幅の和 $3+3+3+2+1=12$ であるためである。

【0148】16階調表現を行うためには、パルス幅3のみの3フレームではパルス幅3を4に変更する。残りの1フレームはパルス幅1と2のパルスがあればよい。ところがこの場合、各フレームの長さが異なってしまう。各フレームの長さを等しくするためには、パルス幅1と2が存在するフレームに更にパルス幅1のパルスを追加する。

【0149】図39(c)にパルス幅の関係を示す。このようにすれば $4+4+4+2+1=15$ となり、16

階調表示が可能となる。このときの入力データに対する各フレーム出力の関係を図40に示す。なお、オンとオフと下位4ビット出力を行うフレームの順番は任意である。

【0150】パルス幅1挿入期間には輝度が上がらないような信号入力しなければならない。この方法として3通り実施した。

【0151】(実施の形態4-1) 図39(c)においてパルス幅4のフレーム391から393においても、パルス幅3のパルスにパルス幅1のパルスを挿入したと考える。このようにすると1フレーム内はPWMを行うフレームにおいて図41に示すようにパルス幅2となるaの期間411とパルス幅1のbの期間412、PWMを行う期間にデータ0を挿入するcの期間413の3つの期間からなる。

【0152】FRCを行うフレームにおいてもそれに対応して3つの期間(a、b、c)を設ける。3つの期間でデータの変化はなく、オンの場合は3期間ともオンをオフの場合は3期間ともオフを示すデータを出力する。

【0153】実施の形態3と異なるのはPWMに用いるパルス幅が4分の3になった点だけである。PWMのフレームでは0から3のうちのいずれかを出力することから、新たに挿入されたパルス幅1のc期間413でのデータは0を出力すればよい。

【0154】3つの期間のデータを出力するため、図43に示す階調デコード部426の出力を1ビット増やす(出力C)。階調デコード部426の入力データに対するCの値の関係を図42に示す。Cの値は図41の期間c413に出力するデータに対応し、FRCでオフを出力するフレーム及びPWMのフレームでは0を、FRCでオンを出力するフレームでは1を出力している。これにより階調デコード部426のデータDにより期間a及び期間bの出力を、Cの値により期間cの出力を行う。

【0155】図43は、1行ずつ選択を行う場合において4ビット信号に対し、上位2ビットを用いてFRCを行い、下位2ビットを用いてPWMを行う場合におけるある1列の映像信号13からセグメント信号線(この場合、1列目)までのブロック図を示す。階調レジスタ回路12は実施の形態3と同じである。階調デコード部426は階調レジスタ回路12の出力に応じて図39

(a)及び図42に示した表に基づき出力される。Selector422で図41の期間に応じて期間aに対応する信号(D[1])と期間bに対応する信号(D[0])と期間cに対応する信号(C)を2:1:1で選択し、セグメント信号線に出力する。セグメント信号線に対応する電圧を電圧生成部254で生成し、レベル変換を行って出力する。

【0156】これにより4ビット入力に対し、16階調表示を行うことができた。また、6ビット入力力で3原色カラー表示を行う場合の映像信号から、4ビット出力を

行うブロック図を図44に示す。実施の形態3と同様に階調レジスタ回路12をシフトさせることで、フレーム周波数が60Hzで駆動可能となった。入力ビット数に関わらず、Mビット入力に対し、 2^M 階調表示が可能となる。

【0157】複数ライン選択法においては直交関数の各要素と演算する必要があるため図45もしくは図46のように選択するライン数に応じたビット数の演算を行う演算部132を設ける。

【0158】図45は、複数ライン同時選択法において同時選択される4行のデータが同時に転送され、FRC及び2ビットのPWM表示を行う場合に異なる入力階調に対し同一階調の出力を出さないような構成とした時の階調レジスタ回路および階調デコード部、演算部、セレクト部の関係を示し、図46は、4行のデータが順に転送され、FRC及び2ビットのPWM表示を行う場合に異なる入力階調に対し同一階調の出力を出さないような構成とした時の階調レジスタ回路および階調デコード部、演算部、セレクト部の関係を示す。

【0159】図45では階調デコード部426を同時選択数だけもうけ、4行分のデータを同時に演算部132に入力し演算を行う場合であり、図46は4行のデータを順に階調デコード部で処理し、演算部で1行ずつ順に演算を行い演算結果をラッチし、図41の各期間に対応するデータを出力する方法である。データをシリアルに転送してもパラレルで転送してもいずれでも実現できる。

【0160】実施の形態3と異なる点は、演算は出力データだけでなく、新たに挿入するパルス幅1の期間c413のためのデータでも行う。そのため、実施の形態4に比べて1つ演算部132が増加する。Selector422で演算結果のうちの1つをa:b:c=2:1:1の期間で選択し、対応する電圧を電圧生成部424のうちから選択し、セグメント信号線に出力することで階調表示を得る。

【0161】4ビット入力に対し、PWMで2ビット表現する例で説明を行ったが一般にMビット入力に対し、PWMでNビット出力を行う場合には、図47に示すように階調レジスタ回路12から出力されるレジスタの組を少なくとも $2^{M-N-1}-1$ 組用意し、レジスタ出力に応じて、階調デコード部426のNビット出力に入力下位Nビット信号、Nビット全て0、Nビット全て1のいずれかを出力し、FRC判定線(信号C)421出力にはNビット出力が、Nビット全て1の時には1を、それ以外では0を出力するようにする。

【0162】演算部をN+1個用意して直交関数との演算を行い、Selector部ではN+1個の演算結果を水平走査期間のうちに全て順に選択する。選択期間はFRC判定線(信号C)421出力を選択する期間を1とすると、Nビットデータ演算結果の選択期間は最下位

ビットが1、下位から2ビット目が2、以降1ビット上がるにつれて2倍ずつ選択期間を増加させる。この操作により、Mビット入力に対し、M-NフレームでFRCにより階調表示を行い、さらに1フレームを用いてPWMにより 2^N 階調表示を行う方法において 2^M 階調表示を実現することができた。

【0163】(実施の形態4-2)図43、図45、図46の構成の場合、階調デコード部426の出力端子数が多くなり、かつ複数同時選択法では演算部の数が増加するため、回路規模が大きくなるという問題がある。そこで、FRCを行うフレームとPWM(パルス高さ変調でも同様)を行うフレームにおいて、Selectorの動作を変えることにしてFRC判定線(信号C)421の出力を不要にすることを考えた。具体的には、図45に示した1フレーム内の各期間a、b、cに対して、図48のブロック図においてFRCを行う場合について説明する。

【0164】図48は、1行ずつ選択を行う場合において4ビット信号に対し、上位2ビットを用いてFRCを行い、下位2ビットを用いてPWMを行い、PWM/FRC判別手段を用いてセレクトを制御する場合のある1列の映像信号からセグメント信号までの構成を示す。Selector462への入力aの値を選択し、aからcの全ての期間で出力を行う(FRCを行っている時は入力a及びbの値は同じであるので、bを選択してもよい。FRC判定線(信号線C)421の出力を選ばなければよい)。一方で、PWMを行う場合にはデータMSB出力であるSelector462への入力aを期間aで選択し、Selector462への入力bを期間bで選択し、データ0出力を期間cで選択してセグメント信号線に出力する。

【0165】Selector462への入力信号がFRCによるものかPWMによるものかを判定するために階調レジスタ回路12のデータを用いてPWM/FRC判定手段461で判定を行い、その結果をSelector462に送ることで判定する。

【0166】複数ライン同時選択を行わない場合、0出力に関して、対応する電圧を出力することで対応できること、また期間cは0固定であるから外部から入力をもらう必要もなく、回路規模を大きくすることなく実現可能である。

【0167】複数ライン同時選択法を用いる場合の階調デコード部以下の構成を図49に示す。図49では、4行同時選択を行う場合において4ビット信号に対し、上位2ビットを用いてFRCを行い、下位2ビットを用いてPWMを行い、PWM/FRC判別手段を用いてセレクトを制御し、データ0の挿入期間を設けた場合のある1列の映像信号からセグメント信号までの構成を示している。

【0168】複数ライン同時選択法では、データ0を入

力するにも演算が必要である。また、同時に選択される行は全てPWMデータか全てFRCデータである必要がある。演算に用いる直交関数の行列要素は、例えば4行同時選択法では1と-1の値が1対3もしくは3対1であるため、演算結果は2通りである。従って、この2通りの演算結果をSelector462中に保存しておき、2通りのうちのどちらを選ぶかは直交関数の要素の1の割合を変化させる信号を入力することで行うことが可能である。この場合、直交関数の要素を変化させる信号が極性反転信号464であるため、この極性反転信号464をSelector462に入力するようにした。

【0169】また、階調レジスタ回路12の出力により、PWMとFRCの区別を行うことから、PWM/FRC判定手段461により、Selectorの方法を変化させるようにした。PWM時ではaに対応する電圧を4分の2、bに対応する電圧を4分の1、Selector内部に記憶した2通りの電圧のうち極性反転信号に対応した値を4分の1期間出力する。FRC時にはaに対応する電圧(もしくはbに対応する電圧。一般には演算結果の出力のうちのいずれか)を1フレーム期間出力することで、実現可能である。

【0170】パッシブマトリクス型表示装置では、1フレームに印加される電圧の実効値の大小で階調が決定する。複数ライン同時選択法では、コモン側信号線の非選択電圧とセグメント多値電圧のうちの中心電圧(V_c とする)が一致するため、PWM時に図41に示す期間c413にセグメント信号線に V_c を印加することも可能である。選択画素ではこの期間cにおいて実効値が0であり表示階調に影響はない。また、非表示画素においても、選択パルスの波高値VRに対し、 V_c の電圧値は十分小さいため、表示に影響ない。

【0171】この方法による階調デコード部以下の構成を図50及び図51に示す。図50では、4行同時選択を行う場合において4ビット信号に対し、上位2ビットを用いてFRCを行い、下位2ビットを用いてPWMを行い、PWM/FRC判別手段を用いてセレクトを制御し、表示部に電圧を印加しないようなセグメント電圧を印加する期間を設けた場合のある1列の映像信号からセグメント信号までの構成を示す。

【0172】図51では、4行同時選択法で同時選択される4行のデータが順に転送される場合においてFRCとPWMを組み合わせる階調表示を行う時に、PWM/FRC判別手段を用いてセレクトを制御し、表示部に電圧を印加しないようなセグメント電圧を印加する期間を設けた場合のある1列の映像信号からセグメント信号までの構成を示している。

【0173】即ち、図50では映像信号から4行同時にデータが送られてくる場合で、階調デコード部231を行数分並列に配置して演算部132に4行の要素を同時

に転送し、演算を行う方法で、図51では4行のデータは順に転送され順次、階調デコード部231で階調処理を行う。4行のデータは順次、演算部132に転送され、演算部内で行われるエクスクルーシブノアを行った後、ラッチされ4行データの和をとる。つまり、これらは4行分のデータをシリアルで転送するかパラレルで転送するかの違いである。

【0174】Selector481はPWM/FRCデータ判別手段461の結果により、セグメント信号線に印加する電圧を変化させ、FRCの場合は482の値に対応した電圧を電圧生成部424から選択し、行選択期間出力する。PWMの場合は1フレームの4分の2期間は482の値に対応した電圧を、4分の1期間は483に対応した値を、4分の1期間はVc電圧を印加する。これにより、4ビット入力時に16階調表示が可能となる。

【0175】N=2でパルス幅変調を行うときには1フレームに図41に示す3パルスが印加される。充放電による電力増加を押さえる方法として、はじめにパルスaをいれ、次にbとcのうちパルスaと等しい電圧を印加し、最後に残りを入れることで充放電による電力増加を減らすことができる。

【0176】入力下位Nビット出力したフレームをPWMにより表示する場合で説明を行ったが、パルス高さ変調においては、出力可能な電圧値の数を1つ増やし、FRC時には最小電圧値もしくは最大電圧値を出力し、PWM時には最大電圧値以外の電圧のいずれかを選択することで実現可能である。例えば図52に示すように、階調デコード部524のNビット出力(表示データ線15)の他に、オン判定線(D[N])521を出力し、それぞれ図53に示すような関係で出力される。D[N]はデコード処理でFRCのオンの状態の時に1を出力し、そのほかの期間では0を出力する。

【0177】D[N]をこのように出力したのは電圧出力部522では、入力の下位Nビットが階調デコード部524から出力されてきた場合、各階調に対応した電圧値を出力する(階調0では電圧V0、階調1では電圧V1など)。つまり、図21(b)の△で示した点灯パターンである。また、FRCのオフが階調デコード部524から出力された場合、電圧出力部522では階調0に対応する電圧V0を出力する。これらパターンでは表示データ線15の値に対応した電圧値を出力すればよい。

【0178】一方、FRCのオンの期間では、Nビットで表現できる階調+1階調目を出力する必要がある(図39(c))。つまり、この場合には表示データ線15の出力値+1に対応する電圧値が必要となる。このように、2つの場合において表示データ線15の値と出力値に変化をつけなければならない。これをD[N]信号線を用いて区別し異なる処理を行うことで、階調表示を行う。

【0179】図54に電圧出力部522の入出力関係を示す。FRCでオンの状態となるときには、そのほかの階調よりも1つ上の階調に対応する電圧値を出力することで、Mビット入力に対し、 $2^M - N - 1$ フレームを用いてFRCを行い、更に1フレームで 2^N 階調表示を行う場合に、 2^M の異なる階調表示が可能となる。

【0180】セグメント信号線へ出力するにあたり、電圧生成部523の出力の1つを電圧出力部522で選択して出力するか、電圧出力部522の代わりにデジタルアナログ変換器を用いてもよい。

【0181】(実施の形態5) PWMもしくはPHMを行うフレームは他のフレームよりも1階調分減らして表示することで、Mビットの入力に対して異なる 2^M の階調表示を行うようにした。本実施の形態ではこの1階調減らした分を用いて、駆動電圧の低下及び、階調性向上を行うようにする。

【0182】PHMもしくはPWMを行うフレームにおいても 2^N 階調表示を行うと、Mビット入力に対し $2^M + 1$ 階調表示が可能である。取り得る $2^M + 1$ 個の点から階調表示に最適な 2^M 個の点を取ることで、階調性を向上することが可能である。また、異なる輝度-信号強度特性をもつ表示素子を並べた場合に、特性が異なる表示素子ごとに、異なる 2^M 個の点をとることで、同一強度の信号が入力した際に、輝度をそろえることも可能である。例えば赤色の表示素子のみが、信号強度に対し、輝度が低くなる場合、緑、青色の表示素子では1から 2^M までの信号強度をとり、赤色の表示素子では2から $2^M + 1$ までの信号強度をとることで、表示色間での輝度の違いを補うことができる。

【0183】また、表示装置全体で信号強度2から $2^M + 1$ の階調をとるとすると、表示装置全体の輝度が上昇する。これを利用して、2から $2^M + 1$ の階調を用いたときにも1から 2^M の階調を用いたときと同様の輝度にするために、セグメント信号線及びコモン信号線の電圧値を下げる。これにより、同一輝度においても、駆動電圧を低下させることが可能となる。

【0184】また、階調のとり方を変える他に、PWMもしくはPHMを行う1フレームの使用しない1階調分データの期間に、常に一定の電圧を印加することで、表示部にかかる電圧を増加させ、増加した分セグメント及びコモン信号線の電圧を低下させることもできる。これにより、4行同時選択法において、表示に使用しない1階調分のデータ期間に、複数の選択されたコモン信号線のうち多くのコモン信号線が印加する電圧極性と逆極性でかつ最大振幅の電圧を入れることで、コモン信号線の電圧を約1V、セグメント信号線の電圧を0.2V低下させることができた。

【0185】更に、画面の輝度調整に利用することも可能である。画面輝度を低くするときは1から 2^M の階調を用い、画面輝度を高くするときは2から $2^M + 1$ の階

調を用いることで1階調分に相当する輝度変化を行うことができる。

【0186】なお、本発明においては赤、緑、青の3色を用いてカラー表示を行う表示装置の例でセグメント信号線の配置を行っているが、赤、緑、青の3色に限らずシアン、イエロー、マゼンダの3色を用いてもよい。この場合、Gシフト、Bシフトをシアンに対するもの、イエロー、マゼンダがシフトする量と定義すればよい。さらに、3色以外でも実施可能であり、ある1つの色に対する他の色のパターンシフト量を定義すれば同様に、Gシフト、Bシフトなどが実現可能である。従って、赤緑青の3原色であっても、必ずしも緑と青がシフトしなくても、ある色に対し他の2色のパターンがずれてオンオフすればよい。

【0187】なお、本発明ではアクティブマトリクス型表示装置の例として薄膜トランジスタを用いた場合で説明を行ったが、MOSTランジスタ、MISTランジスタ、薄膜ダイオード、MIMなどでも同様に実施可能である。また、本発明は有機ELディスプレイ(OELD)、無機ELディスプレイ、FED、PDPなどの液晶以外のパネル(ディスプレイ)にも適用可能である。

【0188】

【発明の効果】以上のように本発明はフレームレートコントロール法による階調表示を行う場合に、オンオフパターンをフレームごと、ラインごと、表示色ごとならびに偶数行と奇数行で異ならせることにより低フレーム周波数でフリッカの少ない階調表示を行うことが可能となった。

【0189】また、Mビットの映像信号に対し、下位Nビットを用いて1フレームでパルス幅もしくはパルス高さ変調法による階調表現を行い、上位M-Nビットを用いて更に $2^M - N - 1$ フレームを用いて本発明のフレームレートコントロールによる階調表示を行うことで、フレームレートコントロールで必要なフレーム数を削減することで、フレーム周波数を低下させ、低電力でフリッカの少ない階調表示を実現した。

【0190】さらに、フレームレートコントロールによる階調表示とパルス幅もしくはパルス高さ変調法を組み合わせる階調表示を行う場合、異なる入力信号階調に対し $2^M - N - 1$ 個の階調が他の階調と同一出力となるため、実質的な表示階調数が減ることに対し、Nビット信号を用いてパルス幅もしくはパルス高さ変調による階調表示を行うフレームにおいて $2^N + 1$ 階調表示が可能になるようにすることで、異なる入力階調に対し、同一の信号出力を出さないようにして、組み合わせによる表示可能階調数の減少を防いだ。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における階調制御の構成を示すブロック図

【図2】図1における階調レジスタ回路の内部構成を示

すブロック図

【図3】図2に示す階調レジスタ部のシフト処理とオンオフイメージを示す説明図

【図4】図2に示す階調レジスタ部の出力を各列に接続する構成を示す図

【図5】本発明の第1の実施の形態におけるオンオフパターンの分散配置を示す図

【図6】本発明の第1の実施の形態における画素配置例を示し、(a)はストライプ配置、(b)はデルタ配置を示す図

【図7】本発明の第1の実施の形態におけるある1フレームでの階調1/7におけるオンオフパターンを3原色全てについて示す図

【図8】本発明の第1の実施の形態におけるある1フレームでの階調1/7におけるオンオフパターンの他の例を示す図

【図9】本発明の第1の実施の形態における5階調表示を行う場合の階調制御の構成を示すブロック図

【図10】本発明の第1の実施の形態における16階調表示を行う場合に用いた階調レジスタを示す図

【図11】本発明の第2の実施の形態におけるドライバICと表示部の配置関係を示す図

【図12】本発明の第2の実施の形態における4行同時選択法による駆動を行う場合の直交関数の例を示す図

【図13】本発明の第2の実施の形態における複数ライン同時選択法における入力信号と直交関数の演算動作を示す図

【図14】本発明の第2の実施の形態における複数ライン同時選択法を用いた場合の演算部の挿入位置を示すブロック図

【図15】本発明の第2の実施の形態におけるオンオフパターンの例を示す図

【図16】図15に示すオンオフパターンを出力するための階調レジスタ回路の構成例を示す図

【図17】図16に示す階調レジスタ回路における制御信号の入力信号波形及びレジスタ出力を示す図

【図18】本発明の第2の実施の形態におけるオンオフパターンの他の例を示す図

【図19】図10に示す階調レジスタを用いた場合の各階調におけるフリッカが最も少なくなるシフト量を示す図

【図20】本発明の第2の実施の形態におけるアクティブマトリクス型表示装置を用いた場合における表示装置の構成を示す図

【図21】本発明の第3の実施の形態における階調処理のフレームごとのオンオフパターンを示す図

【図22】図21に示す階調表示を行う場合の階調レジスタ回路の内部構成を示す図

【図23】図21のように映像信号の処理を行う場合の階調レジスタ回路と階調デコード部の配置関係を示す図

【図24】本発明の第3の実施の形態における階調レジスタの初期値を示した図

【図25】図24に示す階調レジスタの初期値によるオンオフパターンを示し、(a)はオンとオフを連続した場合、(b)は交互に配置した場合を示す説明図

【図26】本発明の第3の実施の形態における階調デコード部入出力の関係を示す図

【図27】本発明の第3の実施の形態における階調表示を行なった場合のオンオフパターンの他の例を示す図

【図28】本発明の第3の実施の形態における階調表示を行った場合のオンオフパターンの更に他の例を示す図

【図29】Mビット入力に対して、上位M-Nビット及び下位Nビットに分けて異なる階調表示を行う場合の階調レジスタの初期値を示す図

【図30】本発明の第3の実施の形態における階調レジスタ部及び階調デコード部の配置例を示す図

【図31】本発明の第3の実施の形態における階調デコード部の入出力関係を示す図

【図32】本発明の第3の実施の形態におけるNビット出力をパルス高さ変調でセグメント信号線に出力する場合におけるセグメント信号線出力部を示す図

【図33】本発明の第3の実施の形態におけるNビット出力をパルス幅変調でセグメント信号線に出力する場合におけるセグメント信号線出力部を示す図

【図34】本発明の第3の実施の形態におけるパルス幅変調時のセグメント信号線の波形(b)とその従来例(a)との比較を示す図

【図35】本発明の第3の実施の形態におけるパルス幅変調時のセグメント信号線入力波形(b)とその従来例(a)との比較を示す図

【図36】本発明の第3の実施の形態におけるPWM表示における複数ライン同時選択法を実現するための演算部を示すブロック図

【図37】図36のAdder部の入出力関係を示す図

【図38】本発明の第3の実施の形態における複数ライン同時選択法でPWMを行う場合にセグメント信号線の出力波形(b)とその従来例(a)との比較を示す図

【図39】本発明の第4の実施の形態における4ビット入力データに対する階調デコード部の出力と表示可能階調数の関係を示す図

【図40】本発明の第4の実施の形態における階調表示を行った場合の各入力階調に対する各フレームでの出力値の関係を示す図

【図41】本発明の第4の実施の形態における行選択期間内でのPWMの各パルスの関係を示す図

【図42】本発明の第4の実施の形態における階調デコード部の入出力関係を示す図

【図43】本発明の第4の実施の形態におけるある1列の映像信号からセグメント信号までの構成を示すブロック図

【図44】本発明の第4の実施の形態における階調処理部の構成例を示すブロック図

【図45】本発明の第4の実施の形態における階調レジスタ回路および階調デコード部、演算部、セレクト部の配置関係を示すブロック図

【図46】本発明の第4の実施の形態における階調レジスタ回路および階調デコード部、演算部、セレクト部の配置関係の他の例を示す図

【図47】本発明の第4の実施の形態における階調処理部の他の構成例を示すブロック図

【図48】本発明の第4の実施の形態におけるある1列の映像信号からセグメント信号までの他の構成例を示すブロック図

【図49】本発明の第4の実施の形態におけるある1列の映像信号からセグメント信号までの更に他の構成例を示すブロック図

【図50】本発明の第4の実施の形態におけるある1列の映像信号からセグメント信号までの更に他の構成例を示すブロック図

【図51】本発明の第4の実施の形態におけるある1列の映像信号からセグメント信号までの更に他の構成例を示すブロック図

【図52】本発明の第4の実施の形態における階調処理部の他の構成例を示すブロック図

【図53】図52に示す階調デコード部の入出力関係を示す図

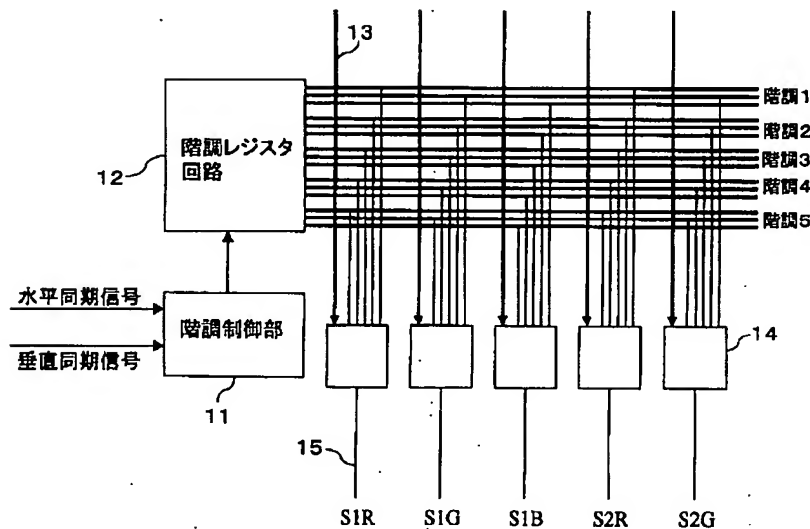
【図54】図52に示す電圧出力部の入出力関係を示す図

【符号の説明】

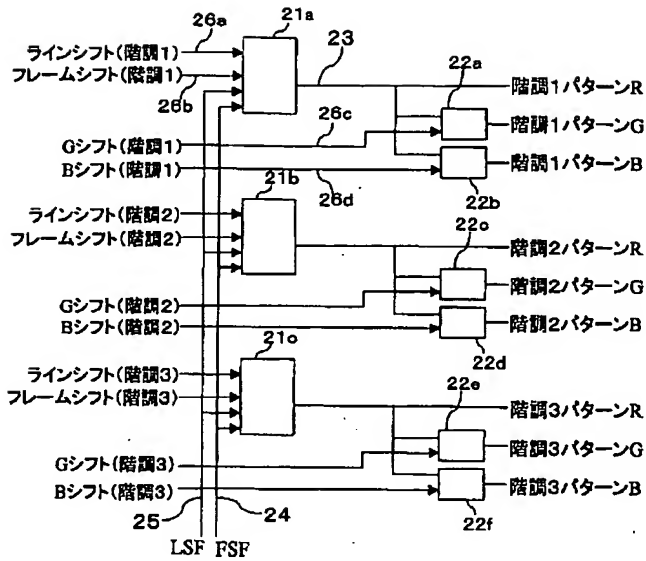
- 1 オフ
- 2 オン
- 3 入力下位4ビットデータ出力
- 11 階調制御部
- 12 階調レジスタ回路
- 13 映像信号
- 14 階調選択部
- 15 表示データ線
- 21 階調レジスタ部
- 22 参照位置変更部
- 23 階調パターンデータ
- 24 フレームシフト制御信号
- 25 ラインシフト制御信号
- 26 シフト量指示信号
- 31 オンの画素
- 32 オフの画素
- 51 ラインシフト
- 52 フレームシフト
- 53 偶数奇数シフト
- 61 第1の色を表示する画素
- 62 第2の色を表示する画素

- | | |
|--------------------------|--------------------------|
| 63 第3の色を表示する画素 | 203 ゲートドライバ |
| 81 Gシフト | 205 画素電極 |
| 82 Bシフト | 206 コモン信号線 |
| 121 入力信号S | 208 スイッチング素子 |
| 122、132 演算部 | 209 対向電極 |
| 123、425 直交関数生成部 | 231、426、524 階調デコード部 |
| 124、207、423、431 セグメント信号線 | 254、424、523 電圧生成部 |
| 125 直交関数H | 311、322 セレクタ |
| 131 階調選択回路 | 321 カウンタもしくは切り替え信号 |
| 133 MLS回路 | 323 レベルシフタ |
| 134 加算回路 | 351 Ex-NOR |
| 135 電圧選択回路 | 352 Adder |
| 136 直交関数ROM | 353 Counter |
| 137 反転処理回路 | 354、422、462、481 Selector |
| 138 反転周期制御部 | 391、392、393、394 フレーム |
| 151 偶数奇数シフト処理部 | 411、412、413 期間 |
| 152 偶数奇数シフト制御信号 | 421 FRC判定線 |
| 191 絶縁体基板 | 461 PWM/FRC判定手段 |
| 192 ドライバIC | 463 ROM |
| 193、204 表示部 | 464 極性反転信号 |
| 200 液晶素子 | 521 オン判定線 |
| 201 コントローラ | 522 電圧出力部 |
| 202 ソースドライバ | |

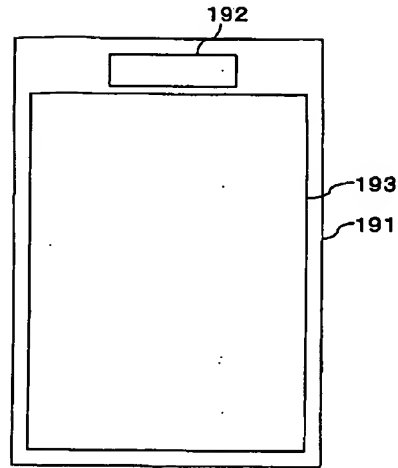
【図1】



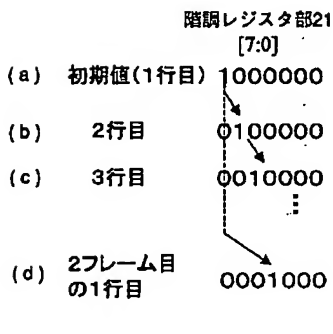
【図2】



【図11】

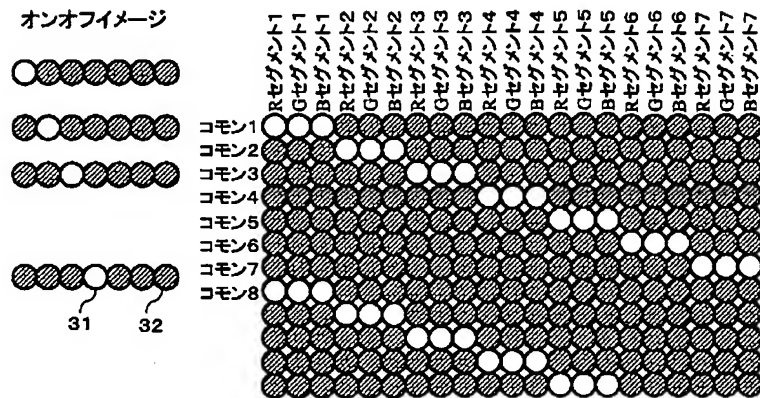


【図3】



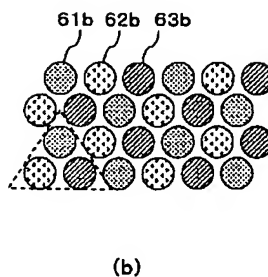
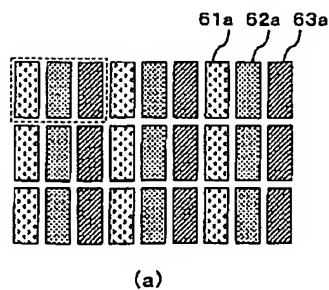
階調1/7
ラインシフト1
フレームシフト3 の場合

【図8】



【図24】

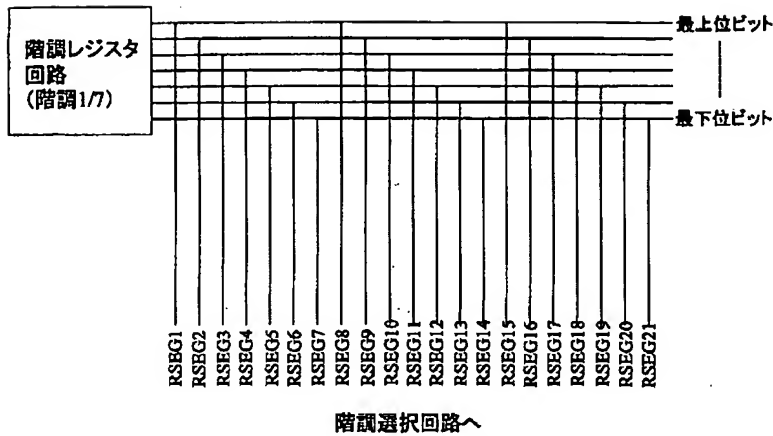
【図6】



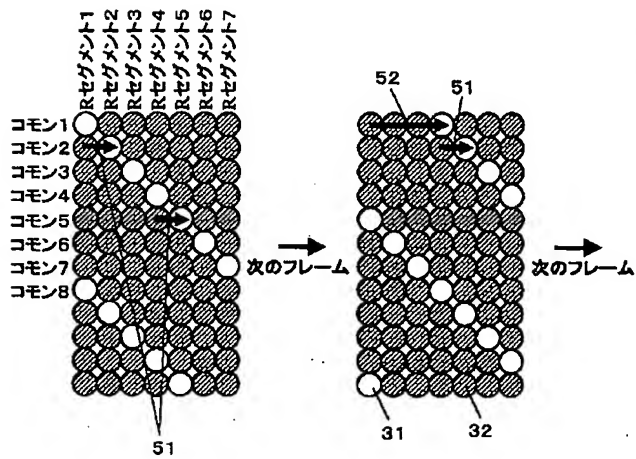
階調レジスタの初期値

階調レジスタ	値
ka[3:0]	1000
kb[3:0]	1010

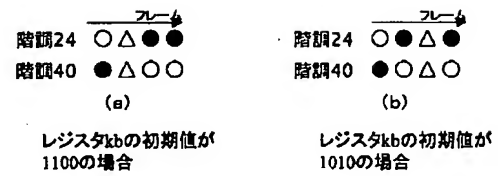
【図4】



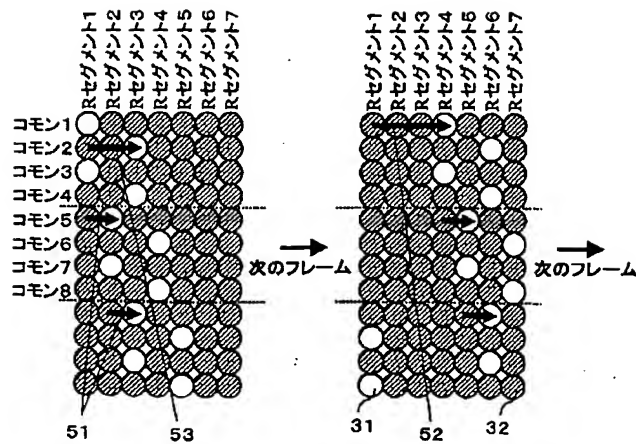
【図5】



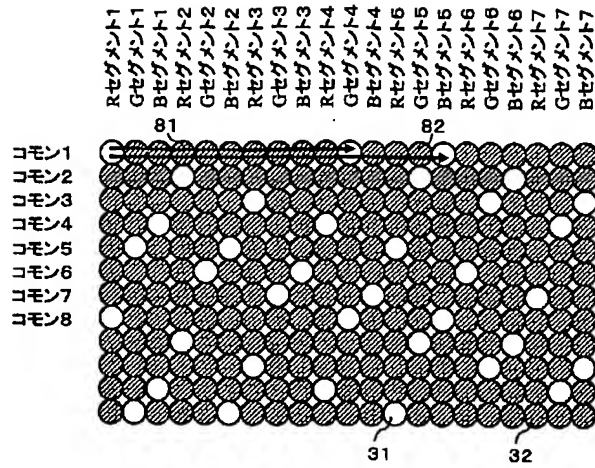
【図25】



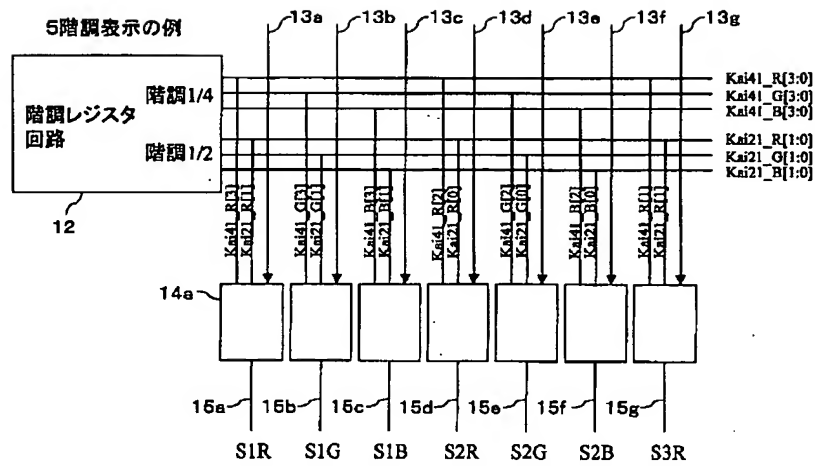
【図15】



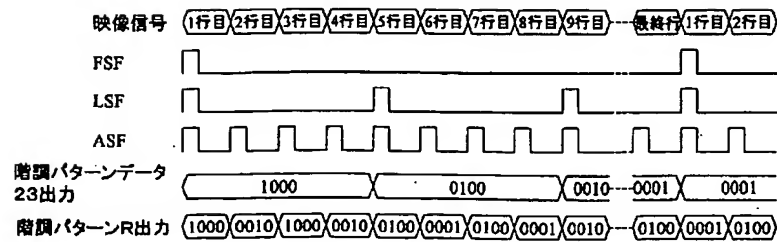
【図7】



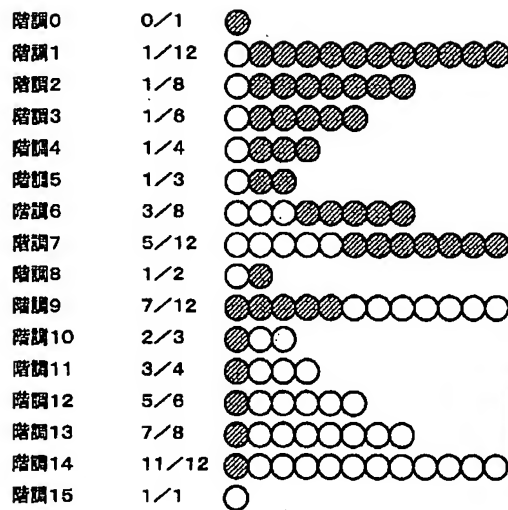
【図9】



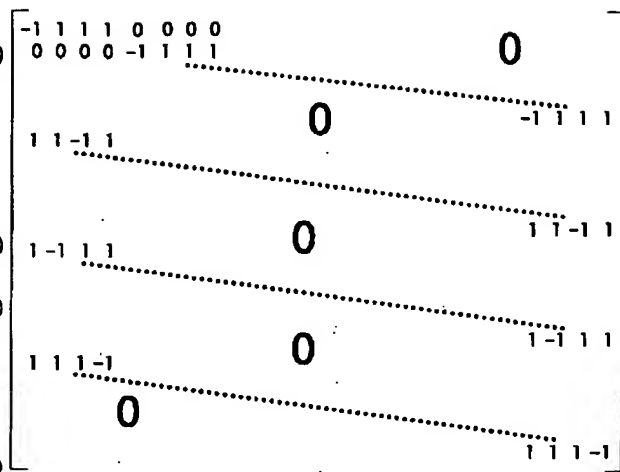
【図17】



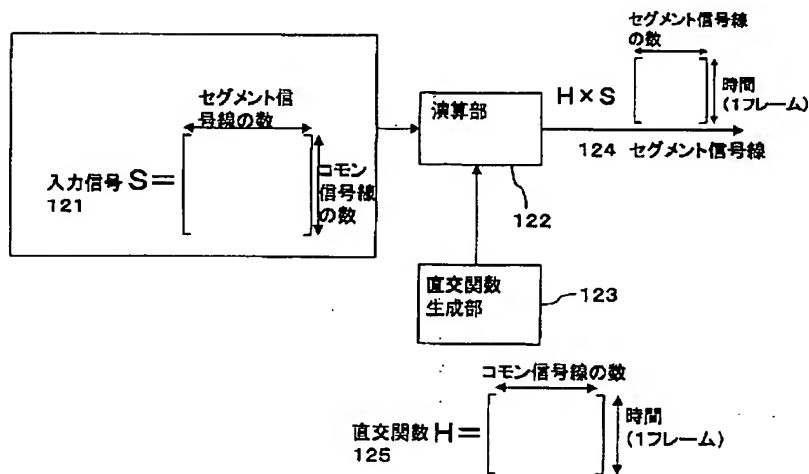
【図10】



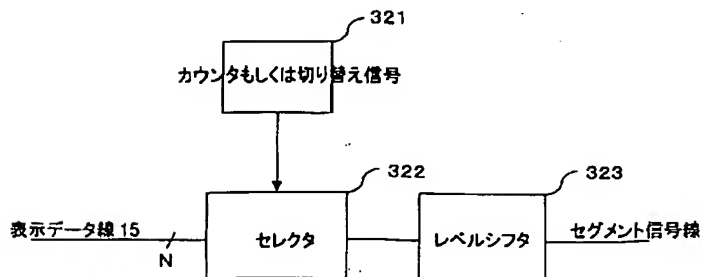
【図12】



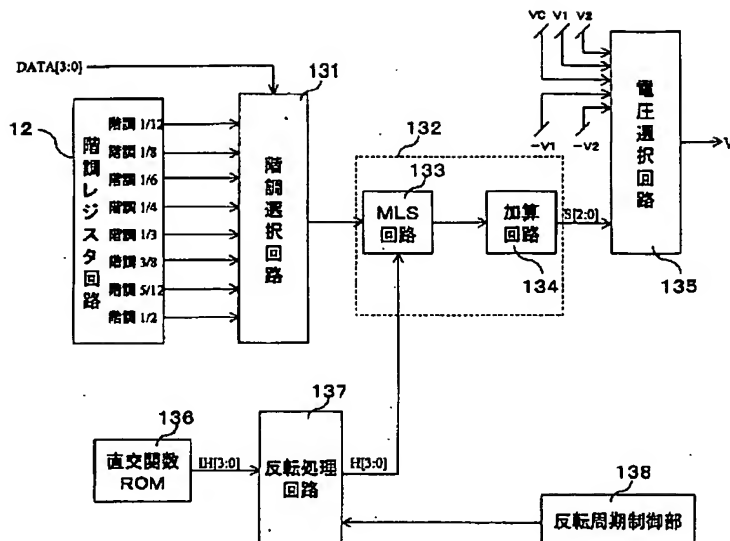
【図13】



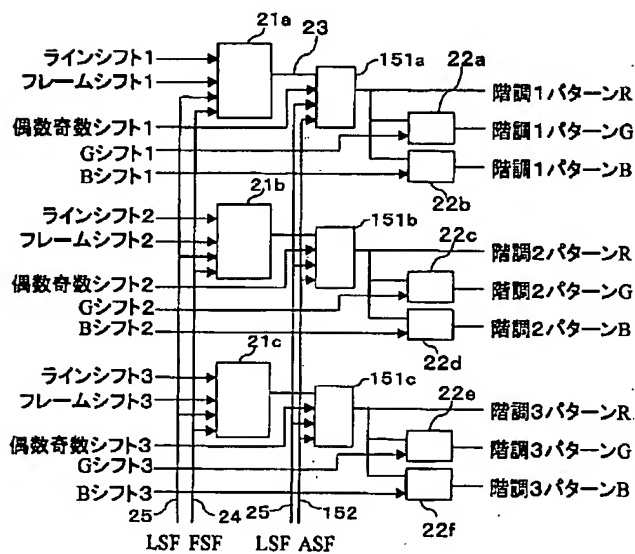
【図33】



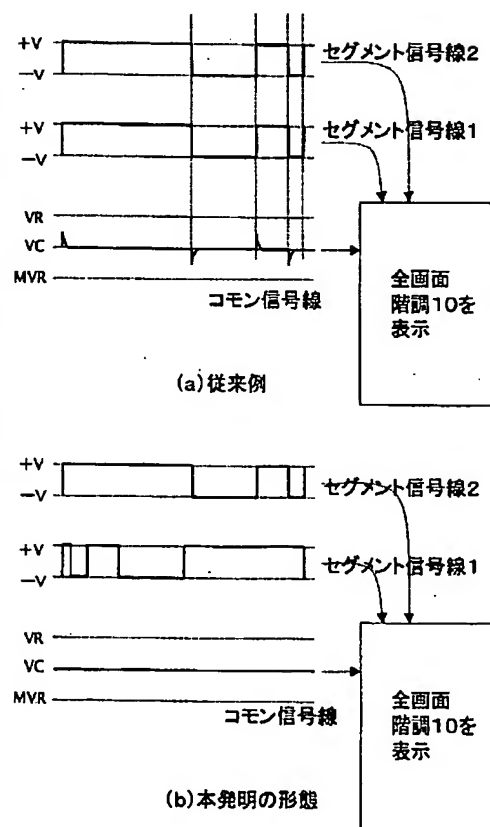
【図14】



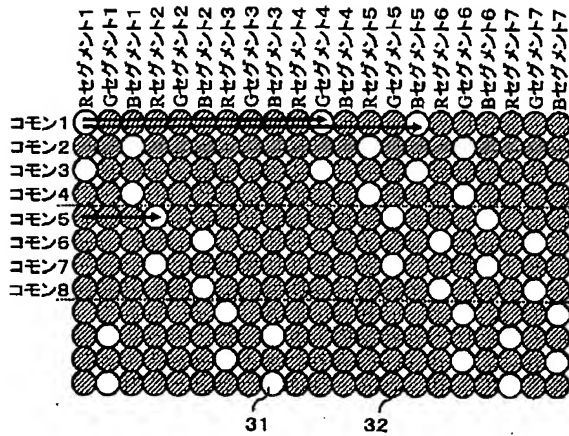
【図16】



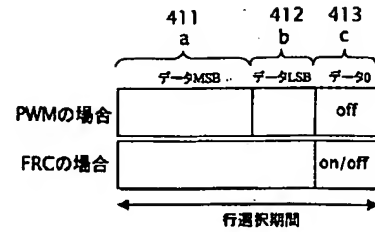
【図35】



【図18】



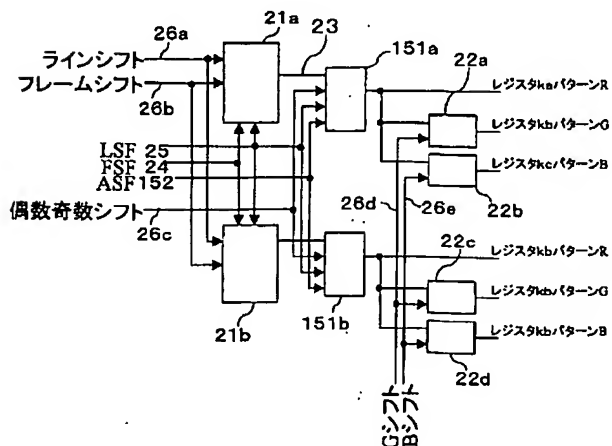
【図41】



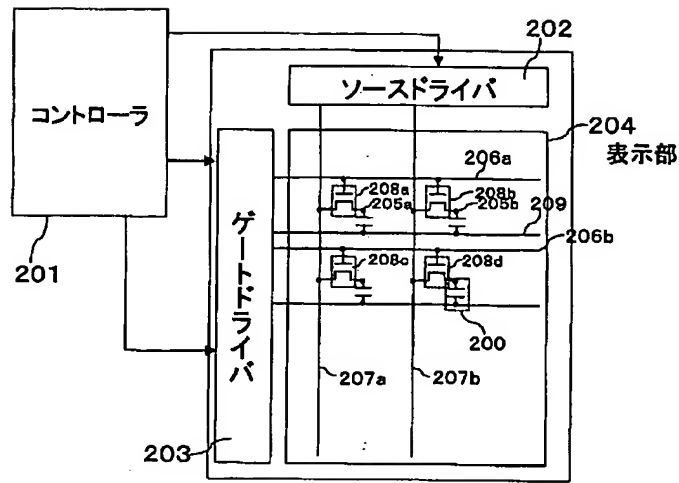
【図19】

階調	フレームシフト	ラインシフト	偶数ラインシフト	Gシフト	Bシフト
1及び14	7	1	3	8	7
2及び6及び13	3	1	1	4	3
3及び12	1	5	2	2	1
4及び11	3	1	3	0	3
5及び10	1	2	1	2	1
7及び9	7	2	3	8	7
8	1	1	1	0	1

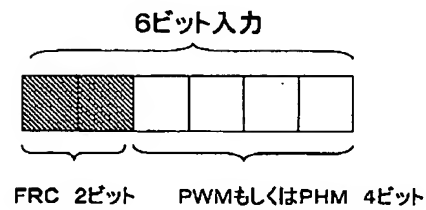
【図22】



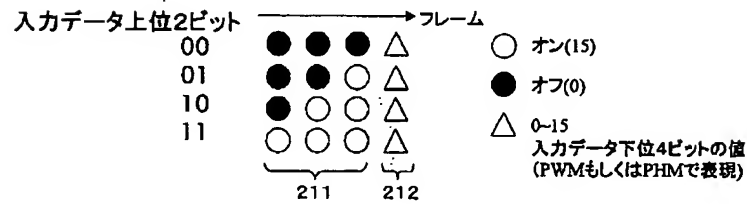
【図20】



【図21】



(a)

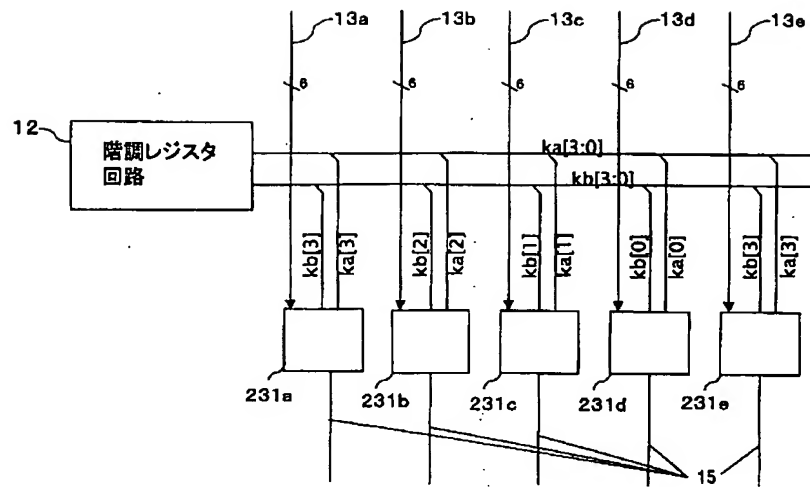


(b)

【図37】

q1+q2+q3+q4	swv2	swv1	swvc	swmv1	swmv2
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	0
3	0	1	0	0	0
4	1	0	0	0	0

【図23】



【図26】

階調デコード部231の真理値表

入力映像信号13 の上位2ビットの値 D[5:4]	レジスタka 出力	レジスタkb 出力	Q[3:0]
00	0	X	0000
00	1	X	D[3:0]
01	0	0	0000
01	0	1	D[3:0]
01	1	1	1111
10	0	0	1111
10	0	1	D[3:0]
10	1	1	0000
11	0	X	1111
11	1	X	D[3:0]

Xはdon't careを示す

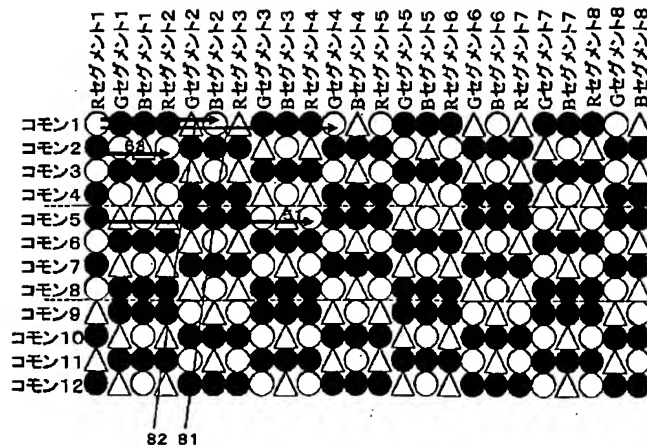
ka=1かつkb=0の組み合わせは必要ないがD[3:0]を出力とする

【図27】

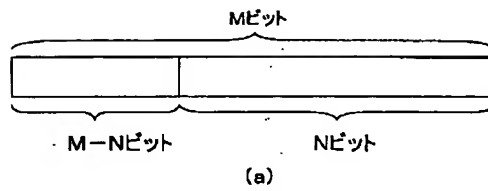
入力データ 番号	オンオフパターン フレーム	入力データ 番号	オンオフパターン フレーム	入力データ 番号	オンオフパターン フレーム	入力データ 番号	オンオフパターン フレーム
0	●●●●●	16	○●●●●	32	●○●●○	48	●○●●○
1	△●●●●	17	○●●△●	33	●○△○●	49	△○●●○
2	△●●●●	18	○●●△●	34	●○△○●	50	△○●●○
3	△●●●●	19	○●●△●	35	●○△○●	51	△○●●○
4	△●●●●	20	○●●△●	36	●○△○●	52	△○●●○
5	△●●●●	21	○●●△●	37	●○△○●	53	△○●●○
6	△●●●●	22	○●●△●	38	●○△○●	54	△○●●○
7	△●●●●	23	○●●△●	39	●○△○●	55	△○●●○
8	△●●●●	24	○●●△●	40	●○△○●	56	△○●●○
9	△●●●●	25	○●●△●	41	●○△○●	57	△○●●○
10	△●●●●	26	○●●△●	42	●○△○●	58	△○●●○
11	△●●●●	27	○●●△●	43	●○△○●	59	△○●●○
12	△●●●●	28	○●●△●	44	●○△○●	60	△○●●○
13	△●●●●	29	○●●△●	45	●○△○●	61	△○●●○
14	△●●●●	30	○●●△●	46	●○△○●	62	△○●●○
15	○●●●●	31	○●●○●	47	●○●○●	63	○●●○●

●1: オフ (出力0)
○2: オン (出力15)
△3: 入力下位4ビットデータ出力

【図28】



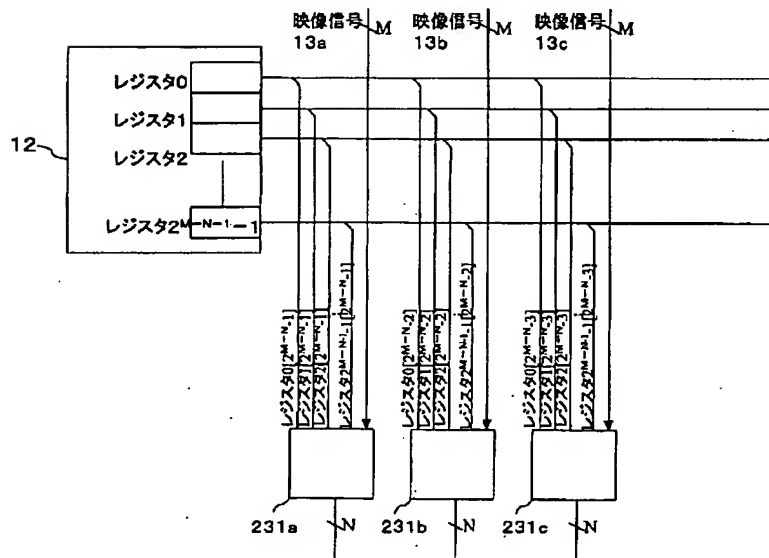
【図29】



レジスタ $X[2^{M-N}-1:0]$ $\underbrace{0 \cdots 01 \cdots 1}_{2^{M-N}-(X+1) \text{個}} \underbrace{\quad}_{X+1 \text{個}}$ $X: 0 \text{以上 } 2^{M-N}-1 \text{ 以下の自然数}$

(b)

【図30】

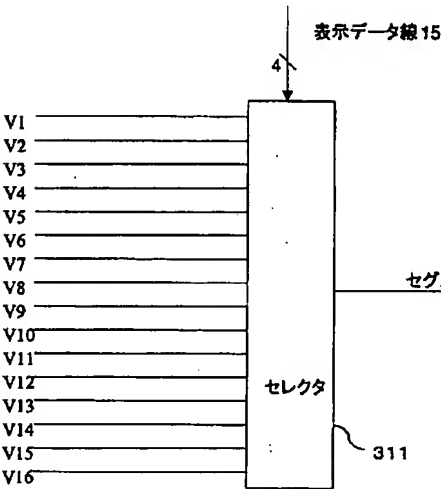


【図31】

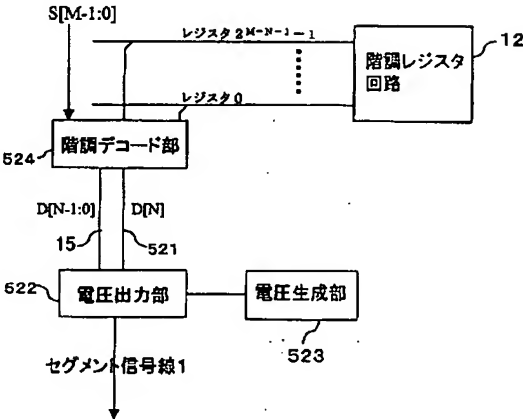
階調デコード部		
映像信号上位M-Nビットデータ	レジスタ値	出力
0	レジスタ0[y]=1	下位Nビットデータ出力
	レジスタ0[y]=0	Nビット全て0
X ($1 \leq X \leq 2^{M-N-1}-1$)	レジスタX[y]≠レジスタX-1[y]	下位Nビットデータ出力
	レジスタX[y]=レジスタX-1[y]=1	Nビットすべて1
	レジスタX[y]=レジスタX-1[y]=0	Nビットすべて0
X ($2^{M-N-1} \leq X \leq 2^{M-N}-2$)	レジスタX[y]≠レジスタX-1[y]	下位Nビットデータ出力
	レジスタX[y]=レジスタX-1[y]=1	Nビットすべて0
	レジスタX[y]=レジスタX-1[y]=0	Nビットすべて1
$2^{M-N}-1$	レジスタ0[y]=1	Nビット全て1
	レジスタ0[y]=0	下位Nビットデータ出力

$0 \leq y \leq 2^{M-N}-1$

【図32】



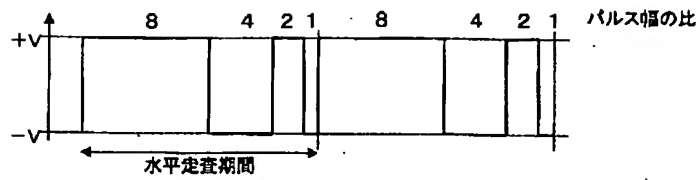
【図52】



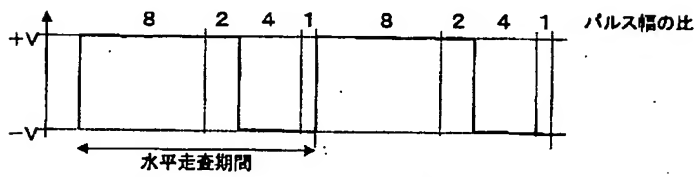
【図54】

D[N]	D[N-1:0]	セグメント信号線出力
1	任意	V_{2^n}
0	0	V_0
	1	V_1
	2	V_2
	3	V_3
	\vdots	\vdots
	2^{N-1}	$V_{2^{N-1}}$

【図34】

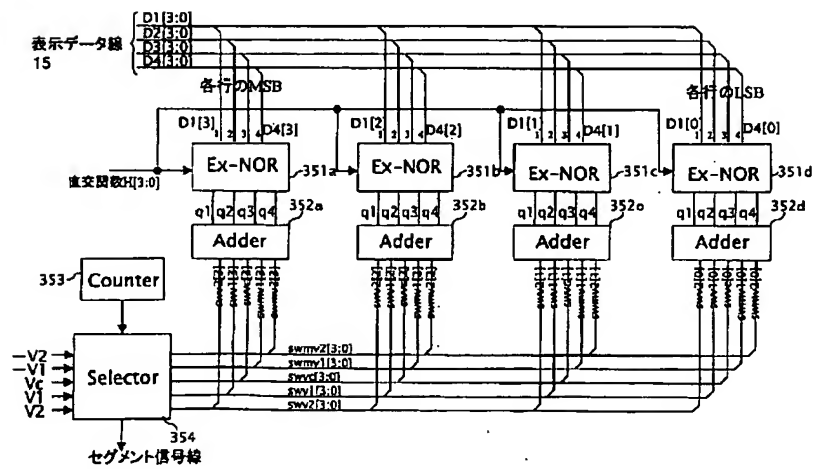


(a)従来のセグメント信号線の波形例

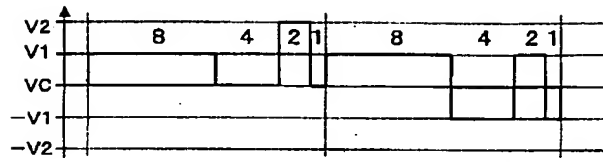


(b)本発明におけるセグメント信号線の波形例

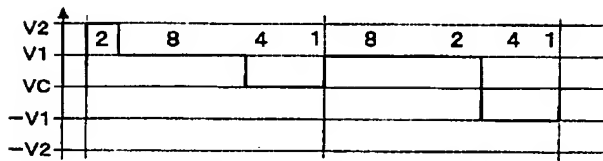
【図36】



【図38】



(a)従来のセグメント信号線の波形例



(b)本発明におけるセグメント信号線の波形例

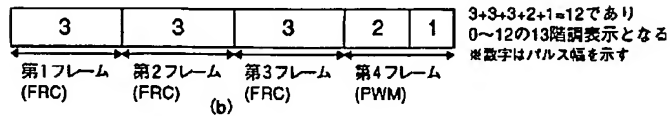
【図39】

入力が4ビットデータのとときの階調デコード部231の出力

Data/Frame	1	2	3	4	
00xx	xx	00	00	00	入力階調0~3
01xx	11	00	xx	00	入力階調4~7
10xx	00	11	xx	11	入力階調8~11
11xx	xx	11	11	11	入力階調12~15

xxは00,01,10,11のいずれか

(a)



(b)



(c)

各フレームの長さを等しくするため何かを入れる必要がある

【図40】

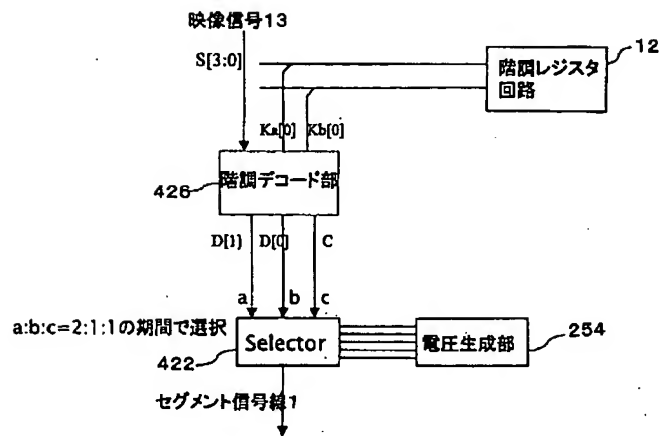
入力データ[3:0]	第1フレーム	第2フレーム	第3フレーム	第4フレーム
0000	0(OFF)	0(OFF)	0(OFF)	0(PWM)
0001	0	0	0	1
0010	0	0	0	2
0011	0	0	0	3
0100	0	0	4(ON)	0
0101	0	0	4	1
0110	0	0	4	2
0111	0	0	4	3
1000	0	4(ON)	4	0
1001	0	4	4	1
1010	0	4	4	2
1011	0	4	4	3
1100	4(ON)	4	4	0
1101	4	4	4	1
1110	4	4	4	2
1111	4	4	4	3

【図42】

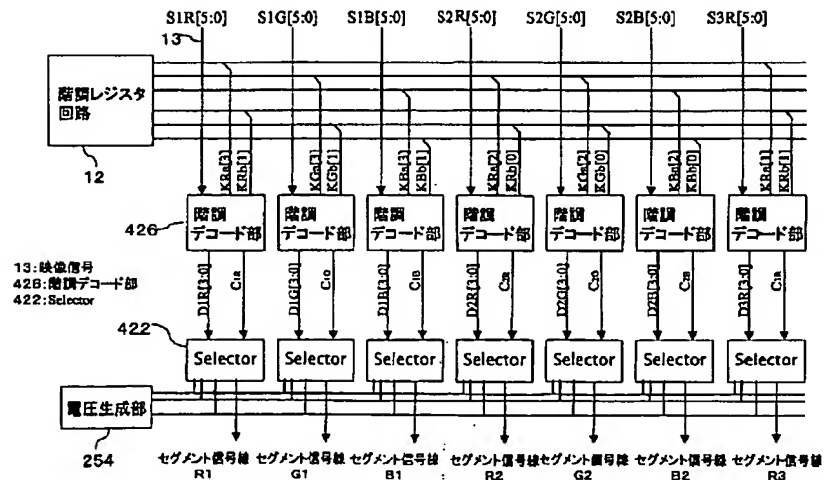
S[3:2]	Ka[y]	Kb[y]	C
00	0	X	0
	1	X	0
01	0	0	0
	0	1	0
	1	0	0
	1	1	1
10	0	0	1
	0	1	0
	1	0	0
	1	1	0
11	0	X	1
	1	X	0

SとDの関係は図39(a)に示した通り

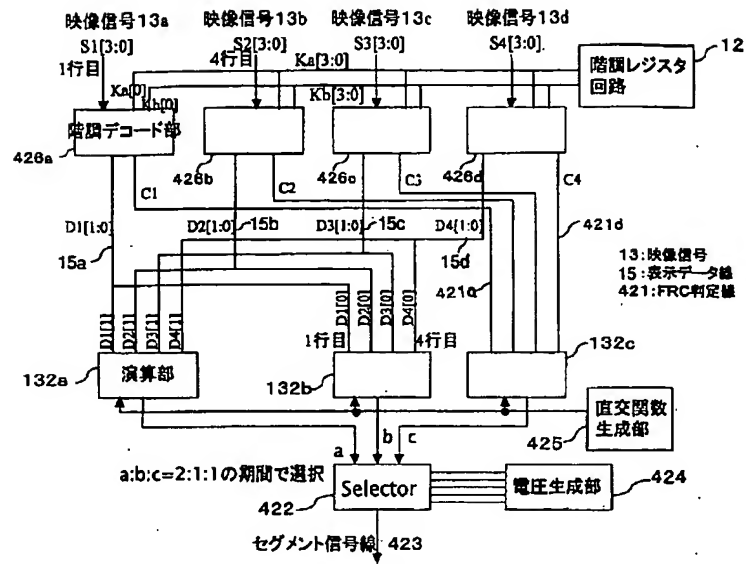
【図43】



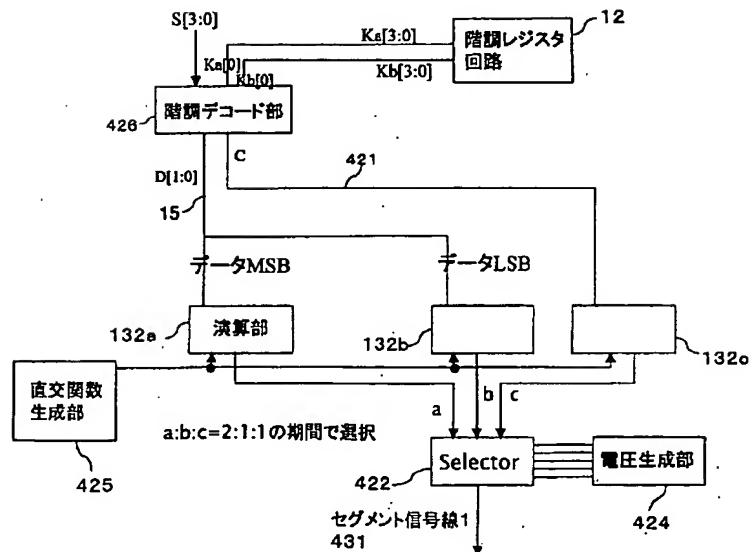
【図44】



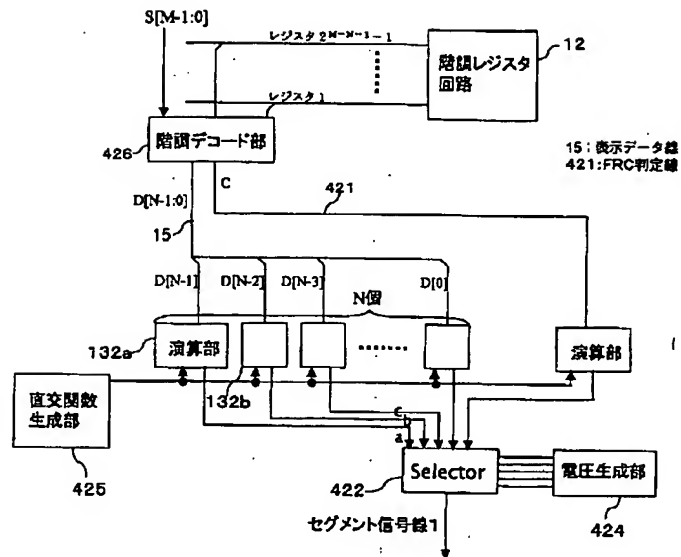
【図45】



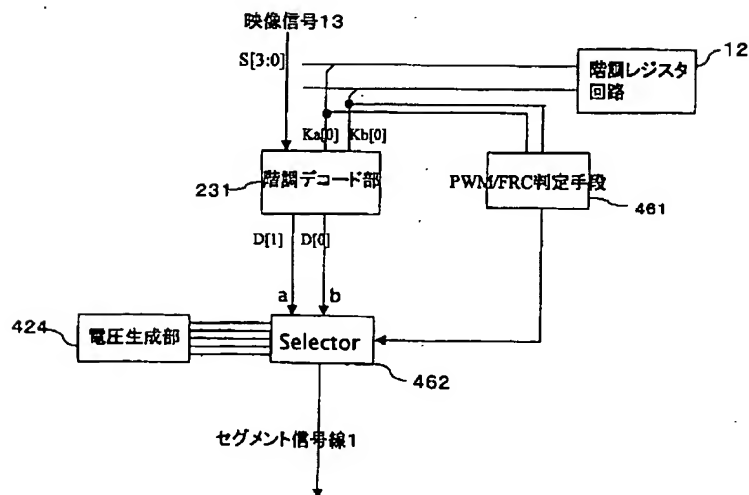
【図46】



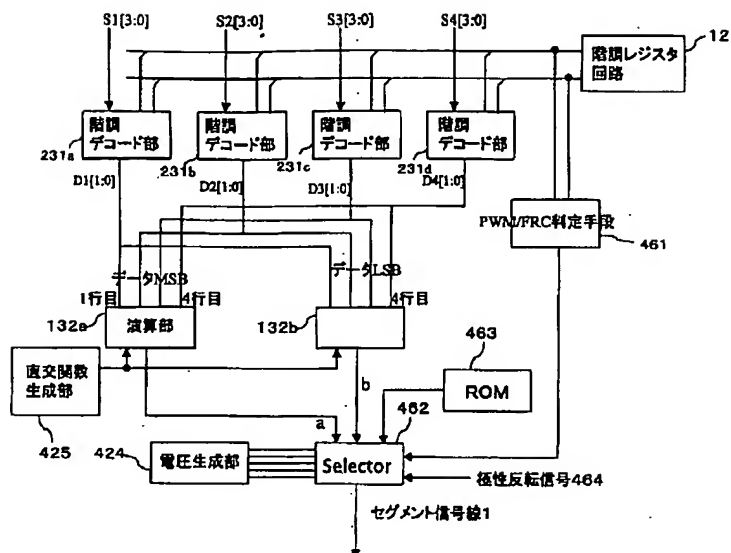
【図47】



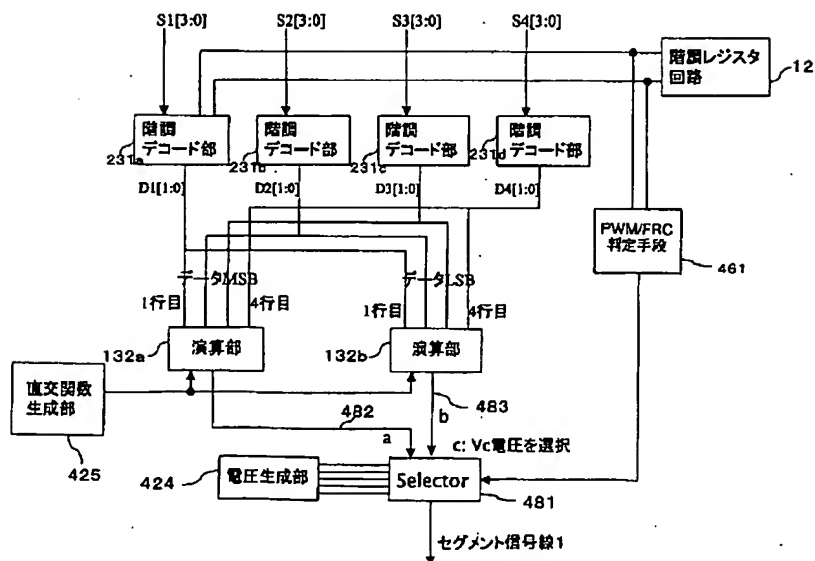
【図48】



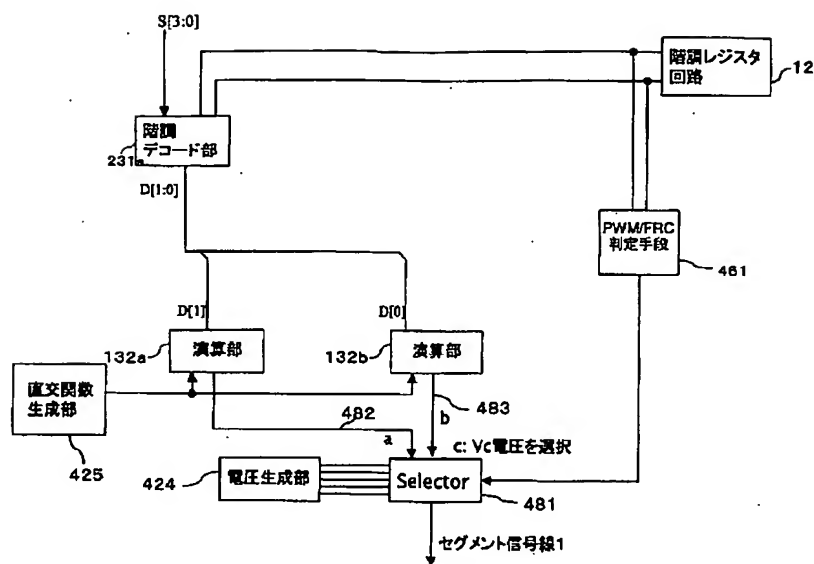
【図49】



【図50】



【図51】



【図53】

階調デコード部524の入出力関係

映像信号上位 M-Nビットデータ	レジスタ値	出力 D[N-1:0]	出力 D[N]
0	レジスタ0 [y]=1	下位Nビットデータ出力	0
	レジスタ0 [y]=0	Nビット全て0	0
X ($1 \leq X \leq 2^{M-N-1}-1$)	レジスタX [y] ≠ レジスタX-1 [y]	下位Nビットデータ出力	0
	レジスタX [y] = レジスタX-1 [y] = 1	任意	1
	レジスタX [y] = レジスタX-1 [y] = 0	Nビットすべて0	0
X ($2^{M-N-1} \leq X \leq 2^{M-N}-2$)	レジスタX [y] ≠ レジスタX-1 [y]	下位Nビットデータ出力	0
	レジスタX [y] = レジスタX-1 [y] = 1	Nビットすべて0	0
	レジスタX [y] = レジスタX-1 [y] = 0	任意	1
$2^{M-N}-1$	レジスタ0 [y]=1	任意	1
	レジスタ0 [y]=0	下位Nビットデータ出力	0

$$0 \leq y \leq 2^{M-N}-1$$

フロントページの続き

(51) Int. Cl.⁷

G 0 9 G 3/20

識別記号

6 2 2

6 2 3

6 4 1

F I

G 0 9 G 3/20

ターミナル (参考)

6 2 2 Q

6 2 3 U

6 4 1 A

6 4 1 C

6 4 1 E

6 4 1 K

(43) 2003-84732 (P2003-84A)

(31)優先権主張番号	特願2001-190958 (P2001-190958)	Fターム(参考)	2H093 NA06 NA47 NA53 NA55 NA56
(32)優先日	平成13年6月25日 (2001. 6. 25)		NA61 ND06 ND39
(33)優先権主張国	日本 (JP)		5C006 AA14 AA15 AA16 AA17 AA21
(72)発明者	山野 敦浩		AC13 AF42 BB12 BF08 FA23
	大阪府門真市大字門真1006番地 松下電器		FA47 FA56 GA02
	産業株式会社内		5C080 AA10 BB05 CC03 DD06 DD26
			EE28 FF10 JJ01 JJ02 JJ04